@RayanAzmoon

کد کنترل
730
A

730A

«اگر دانشگاه اصلاح شود مملکت اصلاح می‌شود.»
امام خمینی (ره)

صبح جمعه
۹۷/۱۲/۳
دفترچهٔ شمارهٔ (۱)

جمهوری اسلامی ایران
وزارت علوم، تحقیقات و فنّاوری
سازمان سنجش آموزش کشور

آزمون ورودی دورهٔ دکتری (نیمه‌متمرکز) ـ سال ۱۳۹۸

رشتهٔ مهندسی کامپیوتر ـ معماری سیستم‌های کامپیوتری
کد (۲۳۵۵)

تعداد سؤال: ۴۵ | مدت پاسخ‌گویی: ۱۵۰ دقیقه

عنوان مواد امتحانی، تعداد و شمارهٔ سؤالات

ردیف	مواد امتحانی	تعداد سؤال	از شمارهٔ	تا شمارهٔ
۱	مجموعه دروس تخصصی: مدار منطقی و معماری کامپیوتر ـ معماری کامپیوتر پیشرفته ـ VLSI پیشرفته	۴۵	۱	۴۵

این آزمون نمرهٔ منفی دارد.

استفاده از ماشین‌حساب مجاز نیست.

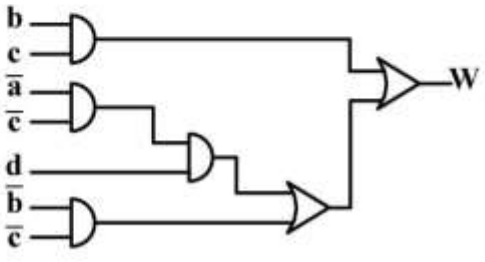
حق چاپ، تکثیر و انتشار سؤالات به هر روش (الکترونیکی و...) پس از برگزاری آزمون، برای تمامی اشخاص حقیقی و حقوقی تنها با مجوز این سازمان مجاز می‌باشد و با متخلفین برابر مقررات رفتار می‌شود.

* داوطلب گرامی، عدم درج مشخصات و امضا در مندرجات جدول ذیل، به‌منزلهٔ عدم حضور شما در جلسهٔ آزمون است.

اینجانب ..... با شمارهٔ داوطلبی ..... در جلسهٔ این آزمون شرکت می‌نمایم.

امضا:

۱- در مدار نشان داده شده در شکل زیر، اگر **abcd** به‌صورت ۰۱۰۱ → ۰۱۱۱ تغییر کنند، چه نوع خطای لحظه‌ای **(glitch)** روی **w** و با چه مدتی اتفاق می‌افتد؟ (تأخیر هرگیت در ورودی ۵ نانوثانیه است و تغییر هر متغیر و وارون آن همزمان اتفاق می‌افتد).



۱) منفی ، ۵

۲) منفی، ۱۰

۳) مثبت، ۵

۴) مثبت، ۱۰

۲- اگر رابطه بین توابع f_1 و f_2 و f_3 به‌صورت زیر باشد، تابع f_3 کدام است؟

$$f_1 = \prod M(1,2,4,6,7,9,10,13,14)$$

$$f_2 = \prod M(2,3,4,6,8,10,12,13,15)$$

$$f_3 = f_1 \oplus f_2$$

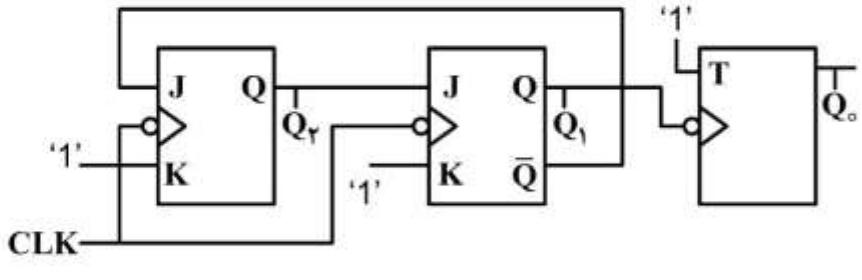
۱) $\prod M(1,3,7,8,9,12,14,15)$

۲) $\prod M(0,2,4,5,6,10,11,13)$

۳) $\sum m(0,2,4,5,6,10,11,14,15)$

۴) $\sum m(1,3,7,8,9,12,14,15)$

۳- مدار زیر چه دنباله ای از اعداد خروجی را تولید می‌کند؟



۱) ۰, ۴, ۲, ۱, ۵, ۳

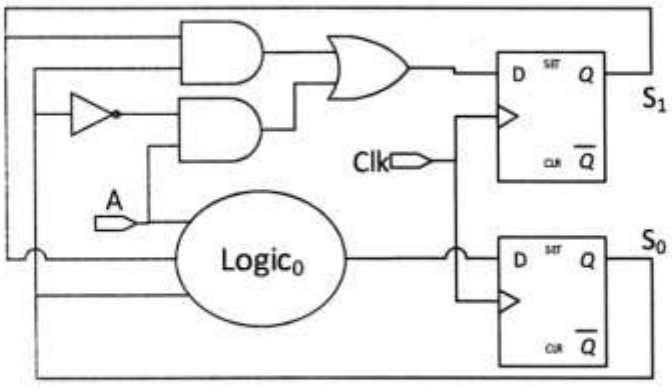
۲) ۰, ۴, ۲, ۱, ۶, ۵, ۳

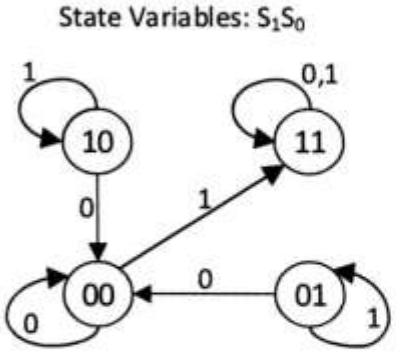
۳) ۰, ۷, ۲, ۱, ۵, ۳

۴) ۰, ۷, ۲, ۱, ۶, ۳, ۵

@RayanAzmoon

۴- مدار سطح گیت به همراه ماشین حالت داده شده را درنظر بگیرید. $Logic_0$ کدام گزینه است؟





۱) $s_1 s_0 + s_0 A$

۲) $s_1 s_0 + s_1 A$

۳) $s_1 s_0 + s_1 \overline{A}$

۴) $s_1 s_0 + \overline{s}_1 A$

۵- عبارت $ab + b'd'$ ساده شدهٔ عبارت $f(a,b,c,d) = a'b'c'd' + ab'd' + abc'$ است. حداقل چند مینترم بی‌اهمیت چهار متغیری برای این تابع وجود دارد؟

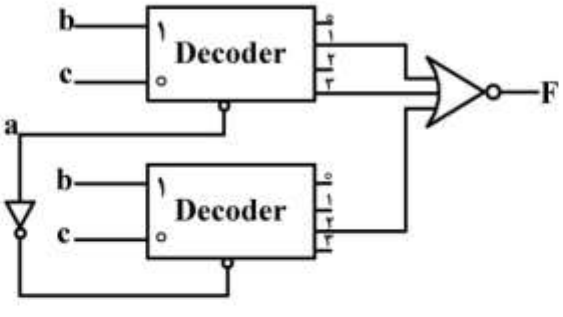
۱) ۲

۲) ۳

۳) ۴

۴) ۵

۶- مینترم‌های مدار زیر کدام است؟



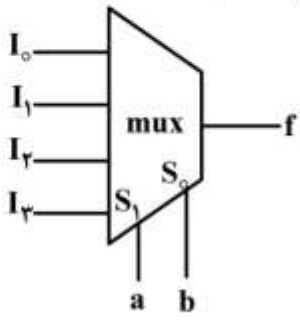
۱) $m(0,1,3,6)$

۲) $m(0,2,3,6,7)$

۳) $m(0,2,4,5,7)$

۴) $m(0,2,4,6,7)$

۷- در شکل زیر، در صورتی که $f(a,b,c,d) = \sum m(0,1,7,9,11,13,14)$ باشد، I_3 کدام است؟



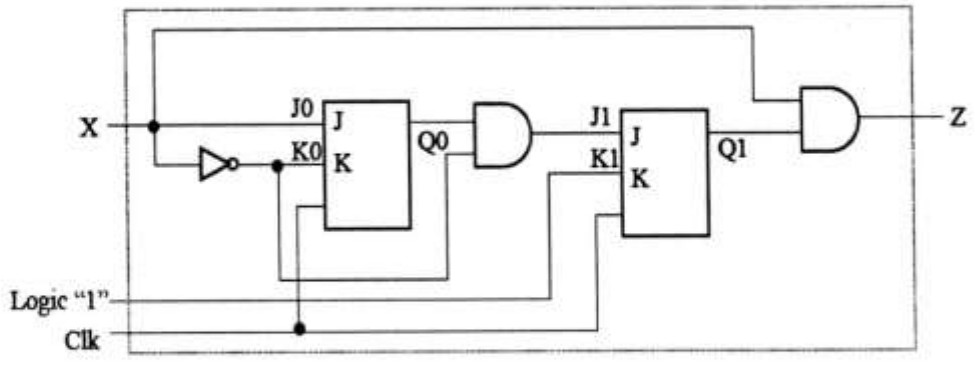
۱) $c + d$

۲) $(c + d)'$

۳) $cd + c'd'$

۴) $c'd + cd'$

۸- مدار داده شده یک مدار تشخیص دنباله است. با فرض شروع از حالت اولیه ۰۰، وقوع چه دنباله‌ای در ورودی، خروجی را یک می‌کند؟



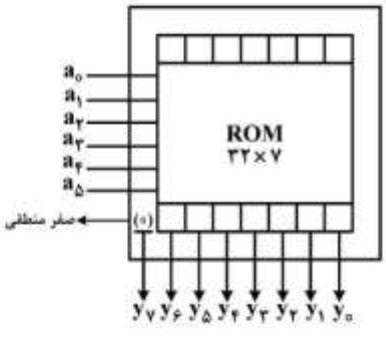
۱) ۱۰۰

۲) ۰۱۱

۳) ۱۰۱

۴) ۱۱۰

۹- مدار زیر به کمک یک **ROM** با حجم ۳۲×۷، اعداد باینری ۶ بیتی را به نمایش **BCD** دو رقمی تبدیل می‌کند، محتویات آدرس ۱۰ و ۶۰ از حافظه **ROM** به‌ترتیب از راست به چپ کدام است؟



۱) ۰۰۰۱۱۰۰ — ۰۰۰۰۱۰۰

۲) ۰۰ ۱۱۰۰۰ — ۰۱۰۰۰۰۰

۳) ۰۱۱۰۰۰۰ — ۰۰۰۱۰۰۰

۴) ۱۱۰۰۰۰۰ — ۰۰۱۰۰۰۰

۱۰- فرض کنید خروجی تابع **n** ورودی **F**، تنها در صورتی '۱' می‌شود که حداقل یکی از ورودی‌های آن '۱' و حداقل یکی از ورودی‌ها '۰' باشد. برای تابع چهار ورودی $F(w,x,y,z)$، معادلهٔ خروجی کدام است؟

۱) $wx' + yz' + w'z + xy'$

۲) $wy' + x'z + w'z + xy$

۳) $xy' + y'z + w'z + x'y$

۴) $xy' + wy' + yz' + w'x$

۱۱- با فرض داشتن دستورات ۲ آدرسه و تعداد **opcode** برابر ۱۵۰ و حافظه‌ای ۱ مگابایتی، به‌ترتیب تعداد بیت‌های ثبات‌های داخلی و طول دستورات کدام است؟ (آدرس‌دهی به حافظه از طریق ثبات‌های داخلی به تعداد ۶۴ تا است که در کلمه دستور مشخص شده است.)

۱) ۲۰ ، ۲۰

۲) ۶ ، ۲۰

۳) ۲۰ ، ۱۹

۴) ۱۲ ، ۱۶

۱۲- فرض کنید متوسط نرخ ارسال درخواست توسط یک دستگاه I/O تا زمان سرکشی (Polling) پردازنده به آن، ۱۰۰Hz باشد. سرکشی به دستگاه نیازمند ۱۰۰۰۰ سیکل و فرکانس کاری پردازنده ۱ گیگاهرتز است. با فرض متوازن بودن توزیع زمانی درخواست‌های I/O، چند درصد از سیکل‌های اجرایی پردازنده صرف عمل سرکشی خواهد شد؟

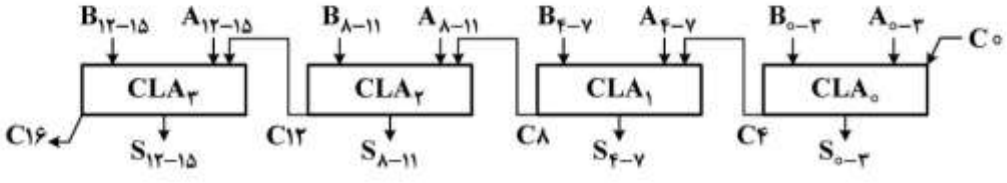
۱) ۰/۰۵

۲) ۰/۱

۳) ۰/۲

۴) ۰/۳

۱۳- یک جمع کننده ۱۶ بیتی مطابق شکل زیر از اتصال ۴ جمع کننده CLA(Carry Lookahead Adder) ۴ بیتی تشکیل شده است. اگر زمان تأخیر هر گیت منطقی AND، OR و NOT را یک Δ بدانیم، مشخص کنید تأخیر رقم نقلی خروجی جمع کننده C۱۶ چه تأخیری نسبت به زمان عرضه داده‌ها به ورودی دارد؟



۱) 12Δ

۲) 11Δ

۳) 10Δ

۴) 9Δ

۱۴- مکمل ۲ و مکمل ۱۰، عدد دهدهی ۵۶۸۷ به‌ترتیب در نمایش مبنای ۱۶ و مبنای ۱۰ کدام است؟

۱) $(E9\ C8)_{16}$ ، $(54\ 22)_{10}$

۲) $(E9\ C8)_{16}$ ، $(54\ 23)_{10}$

۳) $(E9\ C9)_{16}$ ، $(43\ 13)_{10}$

۴) $(E9\ C9)_{16}$ ، $(43\ 12)_{10}$

۱۵- یک نمایش ممیز شناور با قالب زیر داده شده است:

S: بیت علامت (۱ بیت)

E: بیت نما که به‌صورت مکمل ۲ نمایش داده می‌شود (۴ بیت)

F: قسمت اعشاری مانتیس= ۱.F (F: ۱۱ بیت)

به‌ترتیب کوچکترین و بزرگترین عدد مثبت کدام است؟

۱) $2^{8}, 2^{-8}$

۲) $(2-2^{-11})2^{7}, 2^{-8}$

۳) $(2-2^{-11})2^{8}, 2^{-7}$

۴) $(2-2^{-11})2^{7}, 2^{-7}$

@RayanAzmoon

۱۶- در یک کامپیوتر با مشخصات جدول زیر، ۵۰٪ از دستورات **Integer** به اجرای یک دستور **Load** و یک دستور **Store** نیاز داشتند. حال دستور جدید ترکیبی با تعداد کلاک ۵ به مجموعه دستورات اضافه کردیم تا جایگزین آن نوع دستورات باشد. متوسط تعداد کلاک هر دستور (**CPI**) در حالت جدید کدام است؟

نوع دستور	درصد از کل دستورات	تعداد کلاک
Load	۲۰	۳
Store	۲۰	۳
Floating Point	۲۰	۱۰
Integer	۳۰	۵
Jump	۱۰	۲

۱) ۵/۴
۲) ۴/۴
۳) ۴/۸۸
۴) ۴/۹

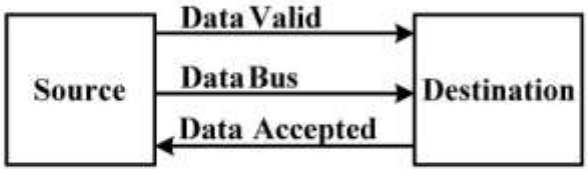
۱۷- نرخ برخورد (**Hit ratio**) برای حافظه نهان و حافظه اصلی در یک سیستم رایانه‌ای شامل این دو حافظه و هارد دیسک، به‌ترتیب زیر همراه با زمان‌های دسترسی هر یک داده شده است:

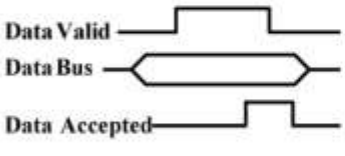
$h_c = ۰/۹۵ \ , t_c = ۱ns$
$h_{mm} = ۰/۹, t_{mm} = ۱۰ns$
$t_D = ۰/۱ms$

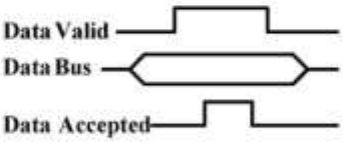
زمان متوسط دسترسی به حافظه در این سیستم چند نانوثانیه است؟

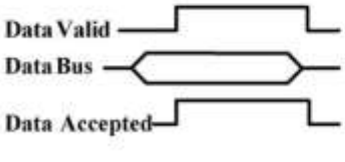
۱) ۱۱
۲) ۱/۴
۳) ۱۰۱/۴
۴) ۵۰۱/۴

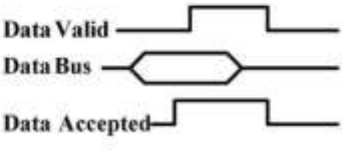
۱۸- کدام مورد شکل مربوط به تبادل داده بین یک فرستنده و گیرنده اطلاعات است؟



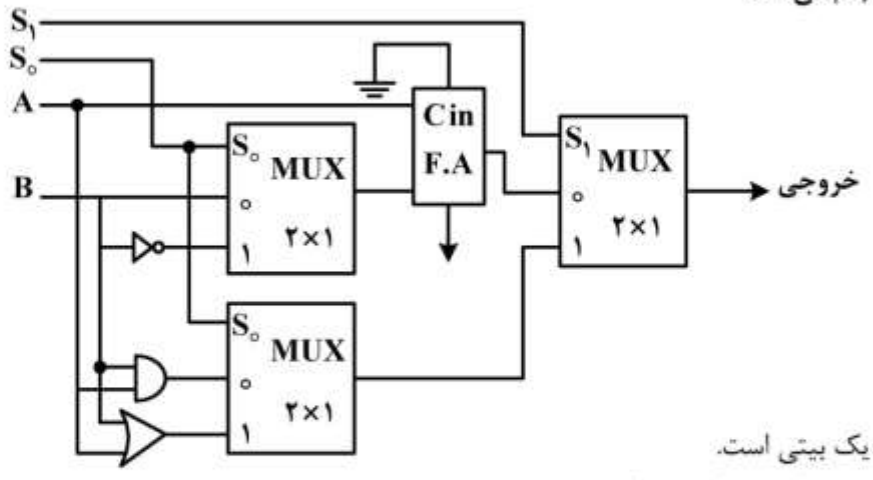
۱)


۲)


۳)


۴)


۱۹- بلوک زیر چه عملیاتی را انجام می‌دهد؟



۱) یک مدار مقایسه کننده یک بیتی است.

۲) یک مدار جمع کننده و تفریق کننده یک بیتی است.

۳) یک ALU یک بیتی است و چهار عمل $A+B$، $A+\overline{B}$، $A \wedge B$، $A \vee B$ را انجام می‌دهد.

۴) یک ALU یک بیتی است و چهار عمل $A+B$، $A-B$ به کمک مکمل ۲، $A \wedge B$، $A \vee B$ را انجام می‌دهد.

۲۰- **یک پشته (Stack) داریم که از آدرس‌های بالا (مثلاً fffff) به سمت پایین پر می‌شود و بالعکس خالی می‌گردد. مشخص کنید دستورات Push Ax و Pop Bx با کدام گزاره‌ها تناسب دارند؟ (SP اشاره‌گر پشته است)**

۱)

Push Ax	$SP \leftarrow SP+۲$ $M[SP] \leftarrow Ax$
Pop Bx	$Bx \leftarrow M[SP]$ $SP \leftarrow SP-۲$

۲)

Push Ax	$M[SP] \leftarrow Ax$
Pop Bx	$Bx \leftarrow M[SP]$

۳)

Push Ax	$SP \leftarrow SP-۲$ $M[SP] \leftarrow Ax$
Pop Bx	$Bx \leftarrow M[SP]$ $SP \leftarrow SP+۲$

۴)

Push Ax	$M[SP] \leftarrow Ax$ $SP \leftarrow SP+۲$
Pop Bx	$SP \leftarrow SP-۲$ $Bx \leftarrow M[SP]$

۲۱- **درخصوص پردازنده‌های ابر عددی (Superscaler) امروزی کدام مورد درست است؟**

۱) اجرای خارج از ترتیب و حدس و گمانی توسط کامپایلر تعیین می‌گردد.

۲) اجرای خارج از ترتیب و ثبت نتایج ثبات‌ها خارج از ترتیب نیز انجام می‌شود.

۳) اجرای حدس و گمانی و خارج از ترتیب انجام می‌شود ولی نتایج به‌صورت ترتیب مذکور در برنامه در ثبات‌ها ذخیره می‌شود.

۴) اجرای حدس و گمانی و خارج از ترتیب انجام می‌شود ولی فقط در برخی حالت‌ها نتایج خارج از ترتیب در ثبات‌ها ذخیره می‌شود.

۲۲- مزیت و کاستی نگاشت انجمن مجموعه‌ای (Set associative mapping) حافظه نهان نسبت به نگاشت مستقیم کدام است؟

۱) مزیت: امکان بیشتر یافتن جا در مجموعه‌های حافظه نهان برای بلوک‌های حافظه اصلی
کاستی: پیچیده‌تر شدن جابه‌جایی و جایگزینی بلوک‌ها در هر مجموعه

۲) مزیت: داشتن فضای بیشتر ذخیره‌سازی داده‌های پرمصرف
کاستی: کاهش نرخ برخورد

۳) مزیت: افزایش احتمال جایابی در حافظه نهان
کاستی: کاهش نرخ برخورد

۴) مزیت: افزایش نرخ برخورد
کاستی: کاهش تعداد بلوک‌های قربانی

۲۳- برنامه زیر داده شده است:

$I_1 : R_1 \leftarrow R_1 + R_2$

$I_2 : R_3 \leftarrow R_4 + R_2$

$I_3 : R_4 \leftarrow R_1 - R_5$

$I_4 : R_1 \leftarrow R_4 + R_6$

اگر بخواهیم تا حد امکان همه دستورات I_1 تا I_4 را موازی اجرا کنیم با چه مخاطره‌هایی (Hazards) مواجه می‌شویم؟ مخاطرات شامل موارد مقابل است:

$$\begin{pmatrix} \text{RAW : Read after write} \\ \text{WAR : Write after Read} \\ \text{WAW : Write after write} \end{pmatrix}$$

۱) (I_3, I_1) و (I_4, I_3) مخاطره RAW، (I_4, I_1)، (I_3, I_2) و (I_4, I_2) مخاطره WAR و (I_4, I_1) مخاطره WAW دارند.

۲) (I_3, I_1) و (I_4, I_3) مخاطره WAR، (I_4, I_1)، (I_4, I_2) و (I_4, I_3) مخاطره RAW و (I_4, I_1) مخاطره WAW دارند.

۳) (I_3, I_1) مخاطره RAW، (I_4, I_3) مخاطره WAR و (I_2, I_1) مخاطره WAW دارند.

۴) (I_1, I_3) مخاطره WAR، (I_4, I_1) مخاطره WAW و (I_4, I_3) مخاطره RAW دارند.

۲۴- یک پیش‌بینی کننده انشعاب پویا با تاریخچهٔ یک بیت برای هر انشعاب شرطی موجود است. در صورتی که عملکرد یک دستور انشعاب شرطی در ۱۰ تکرار متوالی به‌صورت (از چپ به راست):

T, T, T, NT, NT, NT, T, T, NT, NT

و وضعیت اولیه پیش‌بینی کننده به‌صورت عدم پرش باشد، درصد پیش‌بینی صحیح برای این انشعاب در توالی ذکر شده کدام است؟

۱) ٪۴۰

۲) ٪۶۰

۳) ٪۷۰

۴) ٪۸۰

@RayanAzmoon

۲۵- فرض کنید ماتریس زیر به‌صورت سطری در حافظه اصلی ذخیره شده است و هر عنصر این ماتریس یک عدد ۴ بایتی است. با فرض این که آدرس‌های حافظه اصلی ۸ بیتی هستند و از یک حافظه نهان با اندازه ۳۲ بایت با نگاشت مستقیم و اندازه بلوک ۱۶ بایت استفاده می‌شود، دسترسی به عناصر زیر (از چپ به راست) چه تعداد برخورد (H) و فقدان (M) در حافظه نهان ایجاد می‌کند؟

$\vec{A}_{02}, A_{10}, A_{11}$

$$A = \begin{pmatrix} A_{00} & A_{01} & A_{02} \\ A_{10} & A_{11} & A_{12} \end{pmatrix}$$

۱) $H=3,\ M=0$

۲) $H=0,\ M=3$

۳) $H=2,\ M=1$

۴) $H=1,\ M=2$

۲۶- یک پایپ‌لاین ۴ طبقه مطابق جدول رزرواسیون زیر کارها را انجام می دهد. مشخص کنید حداکثر سرعت عملی و نظری به‌ترتیب (از راست به چپ) برابر کدام است؟

طبقات	۱	۲	۳	۴	۵	۶	۷
S_1	×						
S_2		×	×	×		×	
S_3				×	×		×
S_4						×	

۱) $\frac{1\text{op}}{3\text{clock}}, \frac{1\text{op}}{4\text{clock}}$

۲) $\frac{1\text{op}}{1\text{clock}}, \frac{1\text{op}}{5\text{clock}}$

۳) $\frac{1\text{op}}{4\text{clock}}, \frac{1\text{op}}{5\text{clock}}$

۴) $\frac{1\text{op}}{4\text{clock}}, \frac{1\text{op}}{4\text{clock}}$

۲۷- در یک فوق مکعب (Hypercube) ۷ بعدی، قطر ، تعداد گره‌های شبکه و درجه هر گره به‌ترتیب (از راست به چپ) کدام است؟

۱) ۶، ۱۲۸، ۶

۲) ۷، ۴۹، ۶

۳) ۷، ۱۲۸، ۷

۴) ۸، ۹۸، ۷

۲۸- برنامه‌ای روی یک پردازنده ظرف مدت ۱۰۰ثانیه اجرا می‌شود که ۱۰ ثانیه آن صرف کارهایی می‌شود که حتماً باید به‌صورت ترتیبی اجرا گردد. مشخص کنید اجرای این برنامه با ۴ پردازنده چند ثانیه طول می‌کشد و حداکثر تسریع (S) قابل حصول با بیشترین تعداد پردازنده کدام است؟ (n تعداد پردازنده است)

۱) ۲۵ ثانیه، $S = n$

۲) ۲۵ ثانیه، $S = ۱۰$

۳) ۳۲/۵ ثانیه، $S = n$

۴) ۳۲/۵ ثانیه، $S = ۱۰$

۲۹- یک خط لوله را در نظر بگیرید که طبقات زیر را دارد:

ـ واکشی دستور (IF)

ـ رمزگشایی دستور (ID)

ـ اجرا (Ex)

ـ پس‌نویسی (WB)

فرض کنید در هر طبقه یک واحد عملیاتی وجود دارد و کار هر طبقه در یک سیکل انجام می‌شود به‌جز واحد اجرا که در دو سیکل اجرا می‌گردد. با فرض این که دستورات در مرحله پس نویسی (write-back) می‌توانند عملوندها را بخوانند، اجرای ۳ دستور زیر با فرض اینکه روانه‌سازی داخلی (Internal forwarding) بین طبقات وجود دارد چند سیکل به‌طول می‌انجامد؟

ADD $R_۱, R_۲$ $(R۱ \leftarrow R۱ + R۲)$

LOAD R۲, A $(R۲ \leftarrow mem(A))$

ADD R۲, R۱ $(R۲ \leftarrow R۲ + R۱)$

۱) ۱۰

۲) ۹

۳) ۸

۴) ۷

۳۰- فرض کنید بخواهیم یک حافظه نهان را به کمک فناوری SRAM پیاده‌سازی کنیم. ظرفیت این حافظه نهان ۸ کیلوبایت و از نوع انجمنی ـ مجموعه ۲ راهه (2 – way set – associative) با بلوک‌هایی به اندازه ۶۴ بایت است. اگر سیاست نوشتن از نوع نوشتن سراسری (Write-though) باشد و برای پیاده‌سازی سیاست جایگزینی (replacement policy) از روش LRU با ۱ بیت برای هر بلوک یا خط استفاده کنیم، چه تعداد بیت SRAM بدین منظور نیاز خواهد بود؟ (فرض کنید معماری از آدرس‌دهی بایت استفاده کند و آدرس‌ها ۳۲ بیتی باشند)

۱) ۲۶۸۸

۲) ۱۰۸۸۰

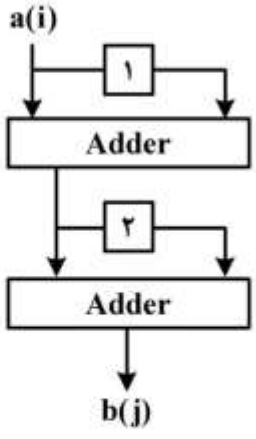
۳) ۶۵۵۳۵

۴) ۶۸۲۲۴

۳۱- مشخص کنید شکل داده شده چه محاسبه‌ای انجام می‌دهد؟

توضیح: $\boxed{i}$: واحد تأخیر i کلاک

هر جمع کننده یک پایپ‌لاین ۴ طبقه دو ورودی و یک خروجی است:



۱) $b(j)=a(i)+a^{۲}(i-۴)$

۲) $b(j)=a(i-۴)+a(i-۸)$

۳) $b(j)=a(i)+a(i-۱)+(i-۲)+a(i-۳)$

۴) $b(j)=a(i-۸)+a(i-۹)+a(i-۱۰)+a(i-۱۱)$

۳۲- مشخص کنید در یک توری مدور دو بعدی که در هر ردیف ۸ پردازنده دارد، به‌ترتیب هر گره با چند گره همسایه است و اگر شبکه را به دو نیمه تقسیم، کنیم چند یال از مقطع مزبور (Bisection width) عبور می‌کند؟

۱) ۴، ۱۶

۲) ۶، ۱۶

۳) ۸، ۸

۴) ۱۶، ۸

۳۳- در پروتکل همسان‌سازی حافظه نهان MESI (Cache consistency) مشخص کنید وقتی بلوکی را تغییر می‌دهیم، کدام گزاره درست است؟

۱) به وضعیت M می رویم و دیگران به وضعیت S می‌روند.

۲) به وضعیت E می‌رویم و دیگران مقدار خود را بی‌اعتبار می‌سازند.

۳) اگر دیگران از آن مقدار دارند، به همه آن‌ها خبر می‌دهیم تا مقدار جدید را بگیرند و همگی به وضعیت S می‌رویم.

۴) سایر پردازنده‌های دارای آن مقدار در حافظه نهان خود، آن را بی‌اعتبار می‌سازند و ما به وضعیت M می‌رویم.

۳۴- فرض کنید یک پایپ‌لاین ۴ طبقه و داده‌های a_i و b_i را از سیستم حافظه‌ای مشتمل بر ۶ پیمانه $M_۰$ تا $M_۵$ دریافت و مقدار C_i را حساب می‌کند و در حافظه می‌نویسد. a_i، b_i و c_i در پیمانه $M_{i \bmod ۶}$ قرار دارند (یعنی $a_۰$، $b_۰$ و $c_۰$ در $M_۰$، $a_۱$، $b_۱$ و $c_۱$ در $M_۱$ و الی آخر). مشخص کنید اگر پایپ‌لاین مزبور بخواهد بدون وقفه داده‌ها را از حافظه بخواند و نتیجه را در حافظه مربوط بنویسد، کدام گزاره درست است؟ (هر خواندن یا نوشتن در حافظه یک کلاک طول می‌کشد.)

۱) باید یک واحد تأخیر در ورودی a پایپ‌لاین و دو واحد تأخیر در خروجی آن قرار گیرد.

۲) باید دو واحد تأخیر در ورودی a و یک واحد تأخیر در خروجی c پایپ‌لاین اضافه کرد.

۳) هیچ واحد تأخیری در ورودی پایپ‌لاین لازم نیست ولی یک واحد تأخیر در خروجی آن لازم است.

۴) هیچ واحد تأخیری در خروجی پایپ‌لاین لازم نیست ولی دو واحد تأخیر در ورودی a لازم است.

۳۵- فرض کنید ۶۴ عدد داریم که هر کدام روی یک پردازنده قرار دارد. پردازنده‌ها می‌توانند طبق یک همبندی درختی دودویی با هم ارتباط برقرار کنند. (هر ارتباط ۱۰ns و هر جمع ۱ns طول می‌کشد) جمع این اعداد در این معماری چند نانوثانیه طول می‌کشد؟

۱) ۱۶ ۲) ۵۶

۳) ۶۳ ۴) ۶۶

۳۶- کدام مورد درخصوص وارسی گوشه‌های طراحی (design corner) درست است؟

۱) برای محاسبه محدودیت حداکثر توان پویا، ولتاژ و دما باید در گوشه کُند فرض شوند.

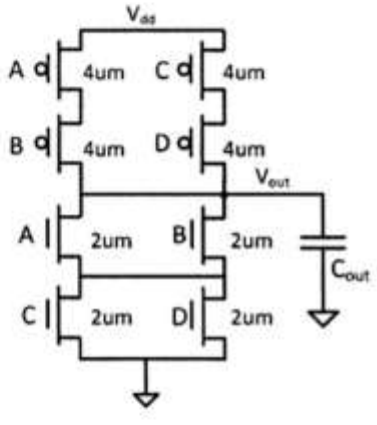
۲) برای استخراج ویژگی‌های زمانی محافظه‌کارانه، دما باید در گوشه کُند و سیم‌ها در گوشه نوعی (Typical) فرض شوند.

۳) برای محاسبه محدودیت زمان نگه‌داشت (hold time)، سیم‌ها باید در گوشه کُند و ترانزیستورها باید در گوشه سریع فرض شوند.

۴) برای محاسبه محدودیت حداکثر توان ناشی از جریان زیرآستانه، دما باید در گوشه کُند و ترانزیستورها باید در گوشه سریع فرض شود.

۳۷- گیت داده شده را در نظر بگیرید. اگر $B=0$ ، $D=0$ و $C=1$ باشد، تأخیر انتشار (Propagation delay) گیت هنگام تغییر مقدار ورودی A از ۰ به ۱ با استفاده از مدل المور چند پیکوثانیه خواهد بود؟ (اعداد نوشته شده مقابل هر ترانزیستور عرض ترانزیستور را نشان می‌دهد.)

$$L_{min}=100nm, C_g=2\frac{fF}{\mu m}, C_d=1/5\frac{fF}{\mu m}, R_p=20\frac{k\Omega}{\square}, R_n=10\frac{k\Omega}{\square}, C_{out}=12fF, Ln(2)=0/7$$



۱) ۱۲

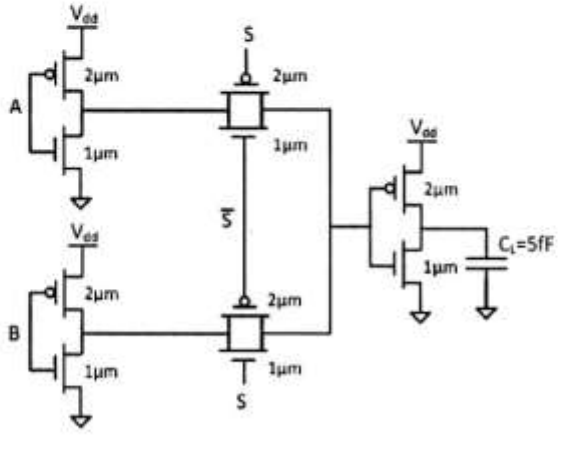
۲) ۱۷

۳) ۲۱

۴) ۴۹

۳۸- مالتی پلکسر دو ـ ورودی زیر را در نظر بگیرید. فرض کنید جریان نشتی برابر $\frac{w}{L}I.e^{\left(\frac{-|V_T|}{2\times 25mV}\right)}$ باشد. زمانی که هر سه ورودی صفر ولت باشند، توان ایستای مصرف شده برابر چند نانو وات خواهد بود؟(اعداد نوشته شده مقابل ترانزیستورها عرض ترانزیستور مربوطه را نشان می‌دهد و طول همهٔ ترانزیستورها 100^{nm} است. از تمامی خازن‌ها به‌جز خازنی که در شکل نمایش داده شده است صرف نظر کنید و از جریان shoot-through نیز صرف‌نظر کنید.)

$$(I_{\cdot NMOS}=4\mu A, I_{\cdot PMOS}=2\mu A, V_{DD}=1/5V, V_{TN}=|V_{TP}|=0/25V, e^{-5}=0/007)$$



۱) ۲۱۰۰

۲) ۱۶۸۰

۳) ۱۲۶۰

۴) ۸۴۰

۳۹- اندازه خازن یک حافظه **DRAM** یک ترانزیستوری برابر ۷۰ فمتو فاراد است. ولتاژ منبع تغذیه برابر ۲/۳ ولت و ولتاژ آستانه برابر ۰/۳ ولت است. کمینه مقدار مجاز در حالت خروجی یک، برابر ۱/۸ ولت است. هنگامی که ترانزیستور دسترسی خاموش است، جریان نشتی معادل حدود ۵ نانوآمپر، خازن را تخلیه می‌کند. بیشینه زمان تجدید (**Refresh**) این حافظه چند میکروثانیه است؟

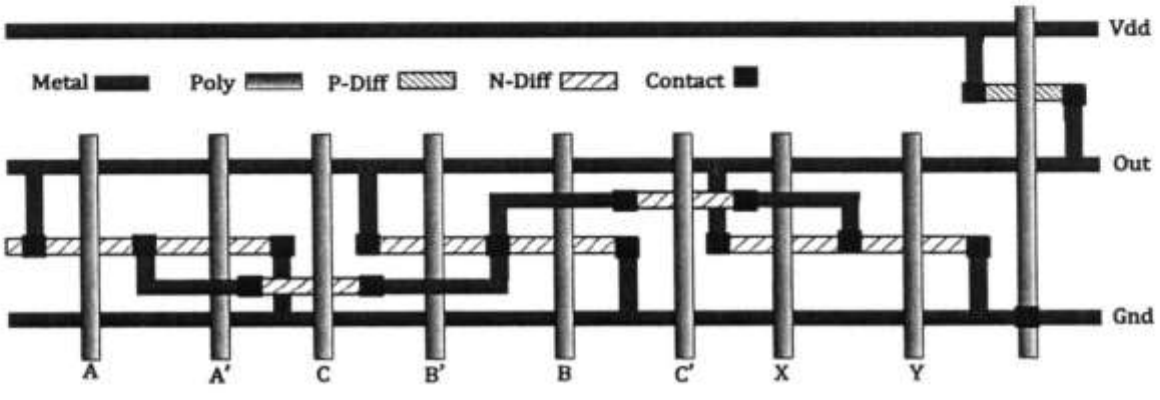
۱) ۲/۵

۲) ۲/۸

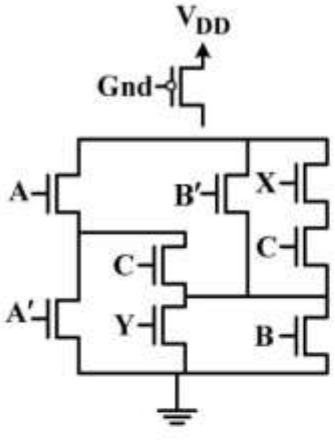
۳) ۳/۲

۴) ۷

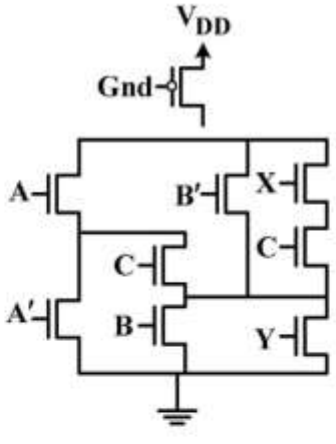
۴۰- مدار معادل نمودار میله‌ای زیر کدام است؟



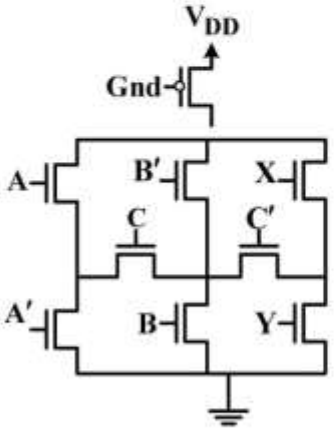
۱)



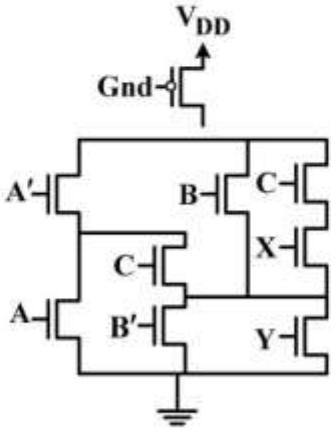
۲)



۳)

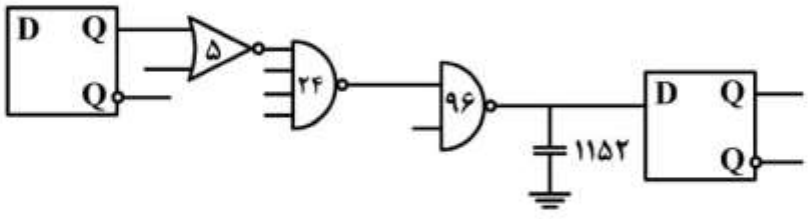


۴)



۴۱- در مدار شکل زیر با فرض اینکه دوره تناوب کلاک ۵۰ns، تأخیر کلاک به خروجی فلیپ فلاپ‌ها ۲ns و Clock skew برابر با ۱ns است. حداکثر Setup time برای عملکرد صحیح مدار کدام است؟ $\mu_n = 2\mu_p$

(اعداد داخل گیت‌ها عرض ترانزیستور معادل در هر ورودی است.)

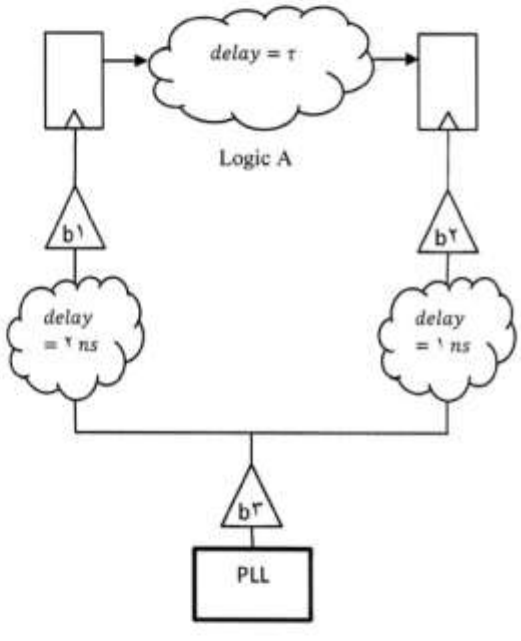


۱) ۱۷
۲) ۱۰
۳) ۹
۴) ۱

۴۲- مدار زیر را با تأخیرهای ذکر شده در نظر بگیرید:

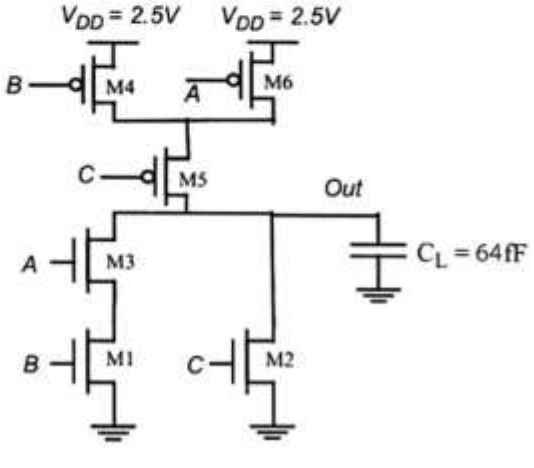
$(T_{clk} = 10ns, T_{clk-q} = 1ns, T_{hold} = 2/5ns, Delay_{buffer} = 2ns, T_{setup} = 1ns)$

برای آنکه مدار به درستی عمل کند تأخیر کمینه و بیشینه منطق A کدام است؟



۱) $0/5 < \tau < 7$
۲) $2/5 < \tau < 7/5$
۳) $2/5 < \tau < 9$
۴) $2/5 < \tau < 10$

۴۳- مدار زیر را در نظر بگیرید. فرض کنید اندازهٔ همه ترانزیستورها $\frac{W}{L} = \frac{0/5^{\mu m}}{0/25^{\mu m}}$ است. فرکانس ورودی ۱۰۰MHZ است و $Pr(A=1) = Pr(B=1) = Pr(c=1) = 0/5$، مقدار توان پویا برابر چند میکروواط است؟

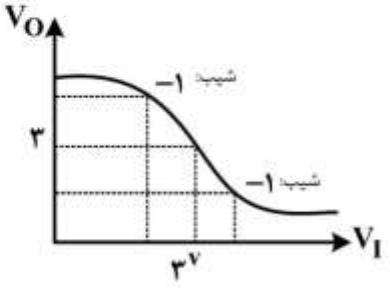


۱) ۴/۳
۲) ۵/۸
۳) ۹/۴
۴) ۱۵/۱

۴۴- نمودار مشخصه انتقال یک وارونگر (NOT) شبه nMos به‌صورت زیر است. کدام مورد نسبت $\frac{(\frac{W}{L})_P}{(\frac{W}{L})_n}$ را به درستی نشان داده است؟

$V_{DD} = ۵V_{tn} = -۵V_{tp} = ۵V$

$\mu_n = ۲\mu_p$



۱) $\frac{۲}{۳}$

۲) $\frac{۳}{۲}$

۳) $\frac{۱}{۲}$

۴) ۲

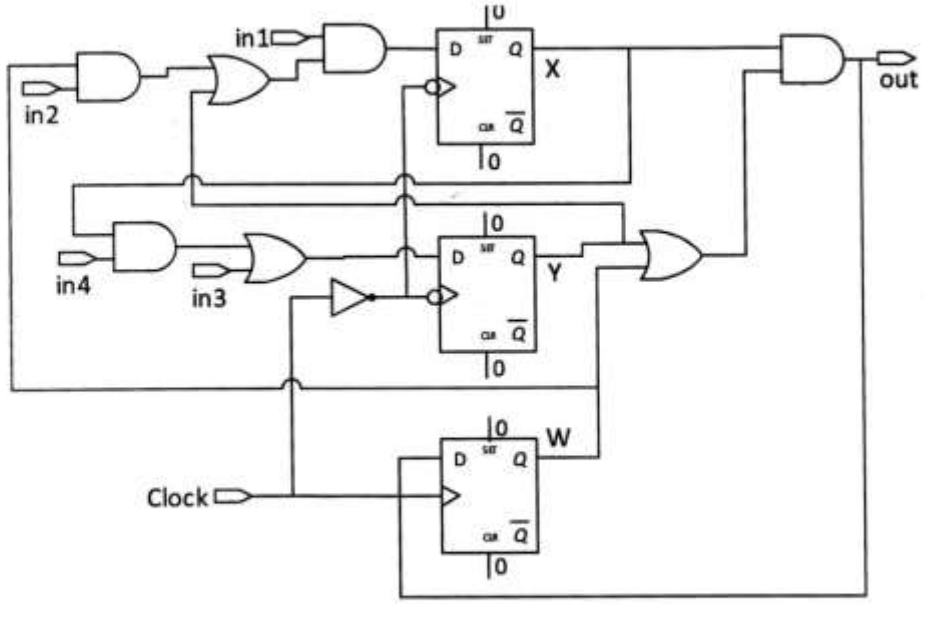
۴۵- در مدار زیر یکی از فلیپ فلاپ‌ها با لبهٔ بالارونده و سایر فلیپ فلاپ‌ها با لبهٔ پایین رونده فعال می‌شوند. با در نظر گرفتن تاخیر گیت‌های AND و OR برابر با ۵ نانوثانیه و تاخیر گیت NOT برابر با ۲ نانوثانیه و اطلاعات زمانی مربوط به فلیپ فلاپ‌ها در زیر، مقدار ماکزیمم فرکانس کاری مدار چند مگاهرتز است؟

اطلاعات زمانی فیلپ فلاپ‌ها:

$T_{setup} = ۳ns$

$T_{hold} = ۳ns$

$T_{clock-q} = ۴ns$



۱) ۴۳

۲) ۵۰

۳) ۵۹

۴) ۶۶

@RayanAzmoon