کد کنترل

331

E

331E

@RayanAzmoon

نام:

نام خانوادگی:

محل امضا:

«اگر دانشگاه اصلاح شود مملکت اصلاح می‌شود.»
امام خمینی (ره)

صبح جمعه
۱۳۹۶/۱۲/۴
دفترچهٔ شماره (۱)

جمهوری اسلامی ایران
وزارت علوم، تحقیقات و فنّاوری
سازمان سنجش آموزش کشور

آزمون ورودی دورهٔ دکتری (نیمه‌متمرکز) ـ سال ۱۳۹۷

رشتهٔ مهندسی کامپیوتر ـ معماری سیستم‌های کامپیوتری (کد ۲۳۵۵)

تعداد سؤال: ۴۵

مدت پاسخگویی: ۱۵۰ دقیقه

عنوان مواد امتحانی، تعداد و شمارهٔ سؤالات

ردیف	مواد امتحانی	تعداد سؤال	از شمارهٔ	تا شمارهٔ
۱	مجموعه دروس تخصصی: مدار منطقی و معماری کامپیوتر ـ معماری کامپیوتر پیشرفته ـ VLSI پیشرفته	۴۵	۱	۴۵

این آزمون نمرهٔ منفی دارد.

استفاده از ماشین‌حساب مجاز نیست.

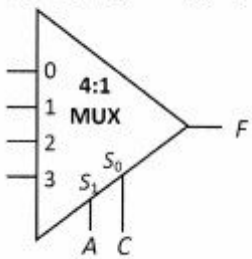
حق چاپ، تکثیر و انتشار سؤالات به هر روش (الکترونیکی و...) پس از برگزاری آزمون، برای تمامی اشخاص حقیقی و حقوقی تنها با مجوز این سازمان مجاز می‌باشد و با متخلفین برابر مقررات رفتار می‌شود.

* داوطلب گرامی، عدم درج مشخصات و امضا در مندرجات جدول ذیل، به‌منزلهٔ عدم حضور شما در جلسهٔ آزمون است.

اینجانب ..... با شمارهٔ داوطلبی ..... در جلسهٔ این آزمون شرکت می‌نمایم.

امضا:

۱- اگر بخواهیم به کمک یک Mux ۴:۱ تابع خروجی $F(A,B,C) = \sum m(۲,۴,۵,۷)$ را تولید کنیم، ورودی‌ها کدام است؟



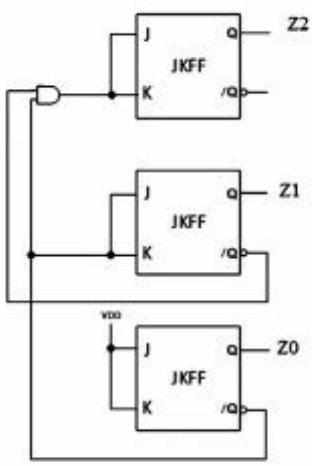
۱) $I_۰ = C$, $I_۱ = ۰$, $I_۲ = \overline{C}$, $I_۳ = ۱$

۲) $I_۰ = B$, $I_۱ = ۰$, $I_۲ = \overline{B}$, $I_۳ = ۱$

۳) $I_۰ = ۰$, $I_۱ = \overline{B}$, $I_۲ = ۱$, $I_۳ = B$

۴) $I_۰ = B$, $I_۱ = B$, $I_۲ = \overline{B}$, $I_۳ = B$

۲- در مدار شکل زیر خروجی $Z_۲Z_۱Z_۰$ چه کارکردی را نشان می‌دهد؟



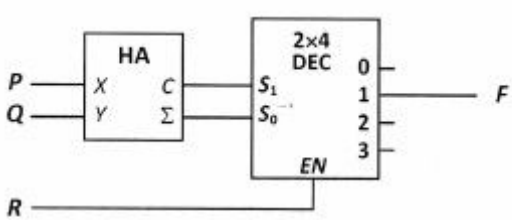
۱) Left Shift Register

۲) شمارنده گری (Gray)

۳) شمارنده دودویی (باینری)

۴) Right Shift Register

۳- تابع $F(P,Q,R)$ معادل کدام مورد است؟



۱) $\sum m(۳,۵)$

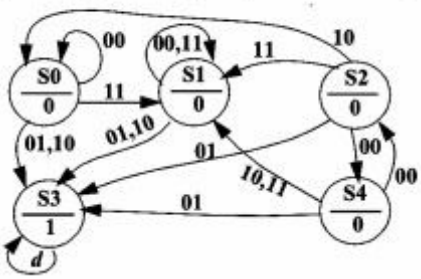
۲) $\sum m(۵,۶)$

۳) $\sum m(۲,۴,۶)$

۴) $\sum m(۱,۳,۵)$

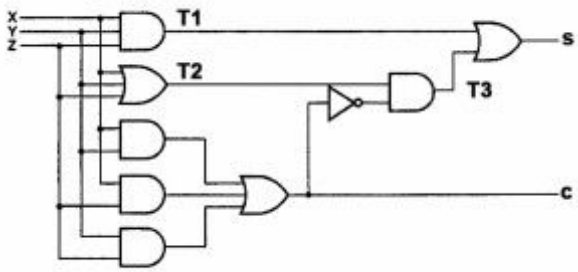
@RayanAzmoon

۴- نمودار حالت یک مدار ترتیبی با دو ورودی و یک خروجی در شکل زیر داده شده است. بعد از ساده سازی کامل، نمودار چند حالت دارد؟



۱) ۲
۲) ۳
۳) ۴
۴) ۵

۵- در مدار زیر با فرض تاخیر یکسان گیت‌ها، کدام تغییر در ورودی‌های (X,Y,Z) باعث تغییر سریع‌تر خروجی S می‌شود؟



۱) $(\circ\circ\circ)\rightarrow(\circ\circ1)$
۲) $(\circ11)\rightarrow(\circ\circ1)$
۳) $(111)\rightarrow(11\circ)$
۴) $(\circ\circ1)\rightarrow(\circ11)$

۶- تابع منطقی $f(A,B,C,D)=\bar{A}\bar{C}+AD+\bar{A}\bar{B}C$ را برای پیاده‌سازی بدون مخاطره (Hazard-free) و فقط با استفاده از گیت‌های دو ورودی در نظر بگیرید. با فرض یکسان بودن تاخیر گیت‌ها و در دسترس بودن ورودی‌ها و معکوس آن‌ها، به حداقل چند گیت دو ورودی نیاز است؟

۱) ۴
۲) ۷
۳) ۹
۴) ۱۱

۷- در تابع زیر به ترتیب از راست به چپ چند عامل اولیه (Prime Implicant) و چند عامل اولیه ضروری (Essential Prime Implicant) وجود دارد؟

$$f(a.b.c.d)=\sum m(۲,۳,۷,۹,۱۲)+d(۶,۸,۱۱,۱۴)$$

۱) ۶ و ۲
۲) ۶ و ۱
۳) ۵ و ۲
۴) ۵ و ۱

۸- یک مدار از سه فلیپ فلاپ A, B, C تشکیل شده است. اگر ورودی‌های این ۳ فلیپ فلاپ به صورت زیر باشند، این مدار چه سیکلی را می‌شمارد؟ (فرض کنید مدار از حالت ABC=010 شروع به کار می‌کند.)

$$D_A=\bar{A}C+\bar{B} \qquad D_B=A+\bar{C} \qquad D_C=\bar{A}+\bar{B}$$

۱) ۲,۳,۵,۷,۲,...
۲) ۲,۳,۵,۶,۲,...
۳) ۲,۳,۵,۷,۶,۲,...
۴) ۲,۳,۵,۶,۷,۲,...

۹- عبارت ساده شده برای تابع $F = g \oplus h$، مطابق با کدام مورد است؟

$h = (a+b).(\bar{b}+c+\bar{d}).(\bar{b}+\bar{c}+d) \quad g = \bar{a}d + ac\bar{d} + \bar{b}\bar{c}d$

۱) $F = \sum m(۷,۹,۱۰)$

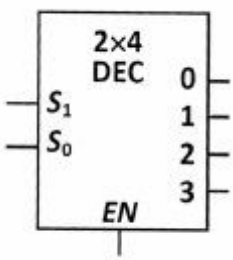
۲) $F = \sum m(۰,۲,۶,۷,۹,۱۰,۱۳)$

۳) $F = \sum m(۱,۳,۵,۷,۹,۱۰,۱۴)$

۴) $F = \sum m(۱,۳,۴,۵,۸,۱۱,۱۲,۱۴,۱۵)$

۱۰- کدام‌یک از توابع الف، ب و ج، فقط با یک Decoder ۴×۲ (شکل زیر) قابل تولید است؟

الف) $\bar{A}.B.\bar{C}$ ب) $X.Y.\bar{Z}$ ج) $\bar{P}.\bar{Q}.\bar{R}$



۱) الف ـ ب ـ ج

۲) ب ـ ج

۳) الف ـ ج

۴) الف ـ ب

۱۱- در یک سیستم کامپیوتری از قالب زیر برای نمایش اعداد ممیز شناور استفاده شده است. در این سیستم برای نمایش مانتیس از روش نمایش صریح ۱ (Explicit One Representation) و برای نمایش توان از روش نمایش Biased-15 استفاده شده است. کدام مورد نمایش عدد 9.125- را نشان می‌دهد؟

1-Bit	5-Bit	10-Bit
S	E	M

۱) CA48

۲) 8E48

۳) C890

۴) 8C90

۱۲- فرض کنید در یک پردازنده اولین خانه در آدرس شروع تابع را برای ذخیرهٔ آدرس بازگشت فراخوانی تابع اختصاص داده‌ایم. در این پردازنده دستور CALL func، ابتدا آدرس بازگشت فراخوانی تابع (PC+1) را در آدرس func ذخیره کرده و سپس اجرای دستورات تابع را از آدرس func + 1 پی می‌گیرد و در پایان با اجرای RET تابع تمام می‌شود. کدام مورد، درست است؟

func:	Return Adr.
	Inst 1
	Inst 2
	…
	…
	…
	RET

۱) در این پردازنده امکان فراخوانی توابع تودرتو (Nested Function Call) وجود ندارد.

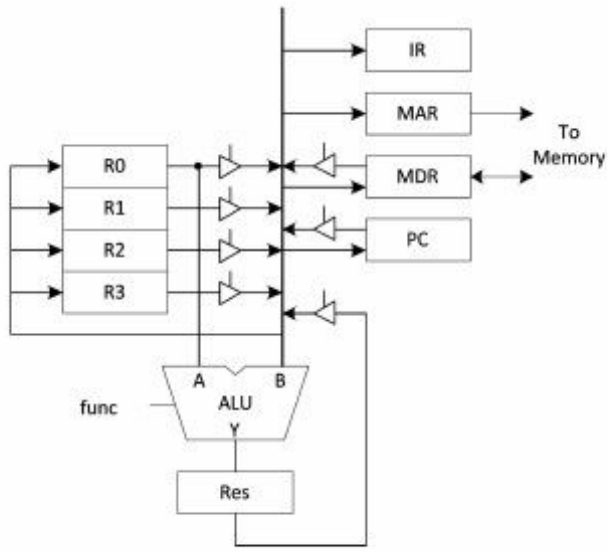
۲) در این پردازنده امکان فراخوانی تابع بازگشتی (Recursive Function Call) وجود دارد.

۳) در این پردازنده برای بازگشت از تابع (RET) باید از دستور پرش مستقیم (Jump Direct) استفاده کرد.

۴) در این پردازنده برای بازگشت از تابع (RET) باید از دستور پرش غیرمستقیم (Jump Indirect) استفاده کرد.

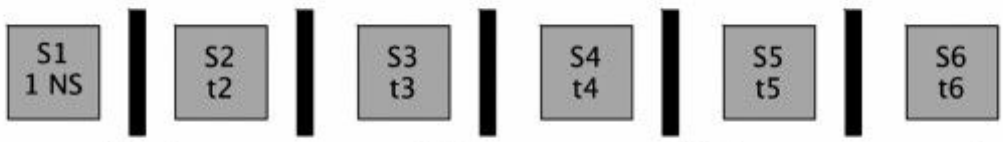
۱۳- مسیر داده زیر را در نظر بگیرید. برای اجرای دستوری که محتویات یک خانه حافظه را **NOT** می‌کند، چند سیکل ساعت نیاز است؟ (فرض کنید که هر دستور یک خانه حافظه را اشغال می‌کند و عملکرد **ALU** مطابق جدول زیر است.)

Func	Y
000	A
001	B
010	A + B
011	A – B
100	B + 1
101	NOT B
110	A AND B
111	A OR B



۱) ۵ ۲) ۶ ۳) ۷ ۴) ۸

۱۴- شکل زیر یک پردازندهٔ پایپ‌لاین با ۶ مرحله (**Stage**) را نشان می‌دهد. اگر مجموع زمان تمام مراحل برابر ۱۱ نانوثانیه باشد، بیشترین تسریعی که از پیاده‌سازی پایپ‌لاین به دست می‌آید، کدام است؟



۱) ۵ ۲) ۵٫۵ ۳) ۶ ۴) ۶٫۵

۱۵- در یک پردازنده آدرس‌ها ۳۲ بیتی هستند. اگر این پردازنده یک حافظهٔ نهان با گنجایش ۸ مگابایت داشته باشد که به صورت **4-Way Set Associative** سازماندهی شده باشد، میزان سربار حافظهٔ نهان چند MBit است؟ (توجه داشته باشید که هر خانهٔ حافظه یک کلمهٔ ۴ بایتی است.)

۱) ۲۸

۲) ۳۰

۳) ۳۲

۴) ۳۶

۱۶- یک حافظه نهان **4-Way Set Associative** با حجم ۸۱۹۲ بایت را در نظر بگیرید. هر بلوک حافظه نهان شامل ۴ کلمه ۴ بایتی است. طول میدان‌های **offset** و **set** در آدرس به‌ترتیب از راست به چپ چند بیت هستند؟

۱) ۴ و ۶

۲) ۴ و ۷

۳) ۲ و ۸

۴) ۲ و ۹

۱۷- یک کامپیوتر دارای سه دسته دستور نوع- الف، نوع- ب و نوع- ج است. طول **Opcode** دستورات نوع- الف ۴ بیت، نوع- ب ۶ بیت و نوع- ج ۸ بیت هستند. حداکثر تعداد دستورات از نوع- ج کدام است؟

۱) ۲۲۰

۲) ۲۳۶

۳) ۲۵۴

۴) ۲۵۶

۱۸- کدام عبارات در خصوص روش‌های **I/O**، درست هستند؟

الف) روش **programmed I/O** در مورد پردازنده‌های با امکان دریافت وقفه **(interrupt)** هم قابل استفاده است.

ب) روش **DMA** پردازنده را درگیر عمل تبادل داده با دستگاه **I/O** می‌کند.

ج) روش **interrupted I/O** پردازنده را درگیر تبادل داده با دستگاه **I/O** می‌کند.

۱) الف ـ ب ۲) ب ـ ج ۳) الف ـ ج ۴) الف ـ ب ـ ج

۱۹- معمار یک کامپیوتر ادعا می‌کند که در طراحی واحد کنترل با به‌کارگیری **nano-memory** توانسته است حجم بیتی ریزحافظه را به یک پنجم تقلیل دهد. اگر تعداد **microOPCODE**های متفاوت ریزمعماری ۱۰ عدد باشد و تعداد الگوهای متفاوت فعالیت سیگنال‌های کنترل در ریزبرنامه واحد کنترل ۱۰۰۰ باشد، تعداد سیگنال‌های کنترل سیستم کدام است؟

۱) ۵۶

۲) ۶۶

۳) ۷۶

۴) با این اطلاعات قابل تعیین نیست.

۲۰- در ضرب دو عدد ۸ بیتی **A** و **B** با الگوریتم **Booth** چهار عمل جمع انجام شده است. محاسبه ضرب همین دو عدد **A** و **B** با روش **Add & Shift**، چه تعداد عمل جمع نیاز دارد؟

۱) ۴

۲) ۶

۳) ۸

۴) با این اطلاعات قابل تعیین نیست و بستگی به مقادیر A و B دارد.

۲۱- در یک برنامه ۳۰ درصد دستورات از نوع **A** و ۲۰ درصد دستورات از نوع **B** هستند. کدام موارد درست است؟

الف- در این برنامه تعداد دستورات نوع **A** برابر با تعداد دستورات نوع **B** نیست.

ب- تسریع اجرای برنامه در حالتی که دستورات نوع **A** دو برابر سریع‌تر اجرا شوند و حالتی که دستورات نوع **B** سه برابر سریع‌تر اجرا شوند یکسان است.

ج- اگر دستورات نوع **A** و نوع **B** دو برابر سریع‌تر اجرا شوند و زمان اجرای برنامه بیش از ۷۰ درصد زمان اجرای اولیه خواهد بود.

۱) الف — ب ۲) الف — ج ۳) ب- ج ۴) الف- ب- ج

۲۲- یک حافظه نهان قربانی با نگاشت انجمنی (fully-associative) دارای ۳ بلوک است و از سیاست جایگزینی FIFO استفاده می‌کند. برای افزایش کارآیی حجم حافظه نهان را به ۴ بلوک افزایش می‌دهیم. کدام توالی آدرس بلوک رسیده به حافظه نهان قربانی منجر به بروز ناهنجاری FIFO می‌شود؟

الف- $a \rightarrow b \rightarrow c \rightarrow a \rightarrow b \rightarrow c \rightarrow d \rightarrow e \rightarrow b \rightarrow a \rightarrow c \rightarrow d$

ب- $a \rightarrow b \rightarrow c \rightarrow d \rightarrow a \rightarrow b \rightarrow e \rightarrow a \rightarrow b \rightarrow c \rightarrow d \rightarrow e$

۱) الف و ب ناهنجاری را نشان نمی‌دهند.

۲) الف و ب هر دو ناهنجاری را نشان می‌دهند.

۳) الف ناهنجاری را نشان نمی‌دهد اما ب نشان می‌دهد.

۴) الف ناهنجاری را نشان می‌دهد اما ب نشان نمی‌دهد.

۲۳- معماری یک سیستم خط لوله متشکل از ۶ سطح است و با کلاک با پریود ۸ نانوثانیه کار می‌کند. این معماری را به دو طریق الف و ب ارتقا می‌دهیم. کدام مورد در خصوص پردازش ۱۰۰۰ داده ورودی و ۱۰۰ داده ورودی درست است؟

الف- معماری 3-way superscalar 2-degree superpipeline با کلاک با پریود ۵ نانوثانیه.

الف- معماری 2-way superscalar 3-degree superpipeline با کلاک با پریود ۳ نانوثانیه.

۱) تسریع ایجاد شده برای پردازش ۱۰۰۰ داده ورودی و ۱۰۰ داده ورودی توسط معماری الف بیشتر از معماری ب است.

۲) تسریع ایجاد شده برای پردازش ۱۰۰۰ داده ورودی و ۱۰۰داده ورودی توسط معماری الف کمتر از معماری ب است.

۳) تسریع ایجاد شده برای پردازش ۱۰۰۰ داده ورودی توسط معماری الف بیشتر از معماری ب است اما این نتیجه برای ۱۰۰داده ورودی درست نیست.

۴) تسریع ایجاد شده برای پردازش ۱۰۰۰ داده ورودی توسط معماری الف کمتر از معماری ب است اما این نتیجه برای ۱۰۰داده ورودی درست نیست.

۲۴- ۱۸ رفتار متوالی Taken(T)/NotTaken(NT) یک پرش از چپ به راست نشان داده شده است. اگر پیش‌بینی‌کنندهٔ شرط (Branch Predictor) از یک 2-Bit Saturating Counter با مقدار اولیه ۲ استفاده کند، در ۱۰ پرش آخر چند پرش به صورت درست پیش‌بینی می‌شود؟

T N N T T N T T N N T N N N T N N T

۱) ۶

۲) ۷

۳) ۸

۴) ۹

۲۵- فرض کنید A آرایه‌ای از بایت‌ها به ابعاد 32K×8K است که به صورت سطری (Row Wise) در حافظهٔ مجازی (Virtual Memory) ذخیره شده و هم‌چنین برنامهٔ زیر، در حافظهٔ اصلی ذخیره شده است. اگر با اجرای این برنامه 8K نقص صفحه (Page Fault) رخ دهد، اندازهٔ صفحه چند کیلوبایت است؟

```
for (i=0; i<32768; i++)
        for (j=0; j<8192; j++)
          A[i][j]=A[i][j]*A[i][j];
```

۱) ۶۴

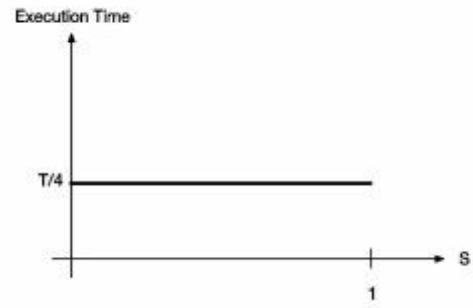
۲) ۳۲

۳) ۱۶

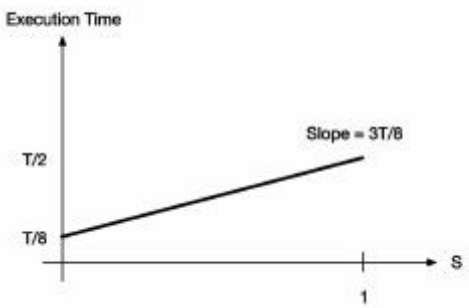
۴) ۸

۲۶- فرض کنید یک پردازندهٔ ۱۶ هسته‌ای در اختیار داریم. یک برنامهٔ محک را بر روی این پردازنده اجرا می‌کنیم که کسر بخش سریال و بخش قابل موازی سازی آن به ترتیب برابر **S** و **1-S** از زمان اجرای برنامهٔ محک است. اگر فرض کنیم زمان اجرای این برنامهٔ محک بر روی یکی از هسته‌ها برابر **T** باشد، کدام نمودار زمان اجرای این برنامه را بر حسب **S** بر روی پردازندهٔ ۱۶ هسته‌ای نشان می‌دهد؟

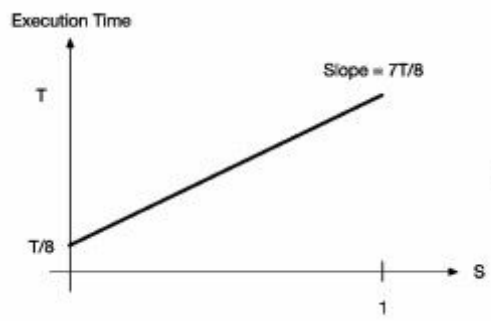
۱)



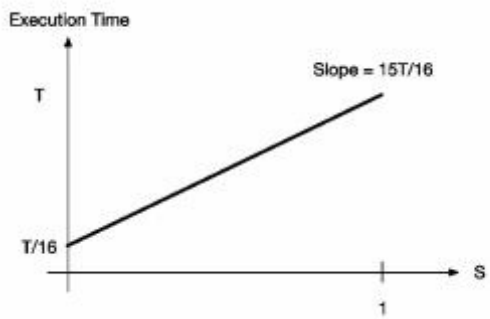
۲)



۳)



۴)



۲۷- فرض کنید برنامهٔ زیر بر روی یک پردازنده با اجرای خارج از ترتیب (**Out of Order Execution**) اجرا شود، و این پردازنده یک واحد اجرای ممیزشناور برای عملیات جمع/تفریق ممیزشناور و یک واحد اجرای ممیزشناور برای عملیات ضرب/تقسیم دارد. زمان لازم برای خواندن از حافظه، اجرای عملیات جمع، تفریق، ضرب و تقسیم ممیزشناور به ترتیب برابر ۲، ۶، ۸، ۱۲ و ۱۶ سیکل است. فرض کنید که تمام دستورات واکشی (**Fetch**) و صادر (**Issue**) شده‌اند و در بافرهای حافظه و واحدهای ممیزشناور قرار گرفته‌اند. در این‌صورت زمان اجرای برنامهٔ زیر چند سیکل است؟

```
lw.d    F6, 32(R2)
lw.d    F2, 44(R3)
mul.d   F0, F2, F4
sub.d   F8, F2, F6
div.d   F10, F0, F6
add.d   F6, F8, F2
```

۱) ۲۸

۲) ۳۰

۳) ۳۲

۴) ۴۶

۲۸- جدول رزرواسیون برای یک پایپ‌لاین غیرخطی داده شده است. **Minimum Average Latency (MAL)** در این پایپ‌لاین کدام است؟

	1	2	3	4	5
S0	X		X		
S1		X			X
S2				X	

۱) ۴
۲) ۳٫۵
۳) ۳
۴) ۲٫۵

۲۹- کدام مورد حاصل جمع قطر و درجه را در یک شبکه **torus** 13×13 نشان می‌دهد؟

۱) ۱۶
۲) ۱۸
۳) ۲۶
۴) ۲۸

۳۰- کدام مورد در خصوص الگوریتم مسیریابی، درست است؟

۱) اثر مثبت به‌کارگیری مسیریابی تطبیقی (adaptive routing) بر کارایی نسبت به مسیریابی قطعی (deterministic routing)، در شبکه‌های با بعد کوچک و بزرگ یکسان نیست.
۲) در روش مسیریابی تطبیقی (adaptive routing) فقط وقتی می‌توان از کانال مجازی استفاده کرد که سوئیچینگ خزشی (wormhole switching) استفاده نشود.
۳) استفاده از مسیریابی تطبیقی (adaptive routing) حتما زمان متوسط ارسال بسته در شبکه را نسبت به مسیریابی قطعی (deterministic routing) کاهش می‌دهد.
۴) در مسیریابی قطعی (deterministic routing) بسته قطعا به گره مقصد می‌رسد.

۳۱- در یک شبکه فوق‌مکعب ۱۰ بعدی با شروع از یک گره مشخص مبدا، ۴ گام را در جهت دور شدن از گره مبدا طی می‌کنیم. تعداد گره‌های متفاوت ممکن در انتهای مسیر کدام است؟

۱) ۲۵۶
۲) ۲۱۰
۳) ۶۴
۴) بستگی به آدرس گره مبدا دارد.

۳۲- کدام مورد درخصوص حافظه نهان درست است؟

۱) حافظه نهان سطح بالا (نزدیک پردازنده) مناسب به‌کارگیری محلیت مکانی (spatial locality) و حافظه نهان سطح پایین (نزدیک حافظه اصلی) مناسب به‌کارگیری محلیت زمانی (temporal locality) است.
۲) در الگوریتم جایگزینی FIFO با افزایش تعداد بلوک حافظه نهان، نرخ برخورد (hit rate) می‌تواند کم شود.
۳) استفاده از مکانیزم هم‌نویسی (write through) فشار نوشتن در حافظه اصلی را کاهش می‌دهد.
۴) الگوریتم جایگزینی LRU از نوع پشته‌ای (stack) نیست.

۳۳- کدام مورد در خصوص تکنیک **internal forwarding** درست است؟

۱) مناسب برای زنجیر کردن خطوط لوله در یک کامپیوتر برداری است.
۲) مناسب برای مقابله با اثرات منفی دستورات پرش شرطی در خط لوله است.
۳) مناسب برای مقابله با اثرات منفی وابستگی داده بین دستورات در خط لوله است.
۴) ارتباط بین حافظه‌های نهان موجود در هسته‌های پردازشی یک سیستم چندهسته‌ای را تسهیل می‌کند.

۳۴- کدام مورد درخصوص یک خط لوله غیرخطی درست است؟

۱) استفاده از هر سیکل حریصانه (greedy cycle) دلخواه منجر به حداکثر برونداد (throughput) پردازشی می‌شود.

۲) یک سیکل مجاز (permissible cycle) حتماً شامل initial state نیست.

۳) یک سیکل ممنوعه (forbidden cycle) حتماً شامل initial state است.

۴) یک سیکل حریصانه (greedy cycle) حتماً شامل initial state است.

۳۵- در قطعه کد زیر وابستگی داده بین کدام دستورات را با روش **register renaming** نمی‌توان رفع کرد؟

```
Add     R1,R2
Mult    R6,R1
Load    R1,R3
Div     R1,R2
```

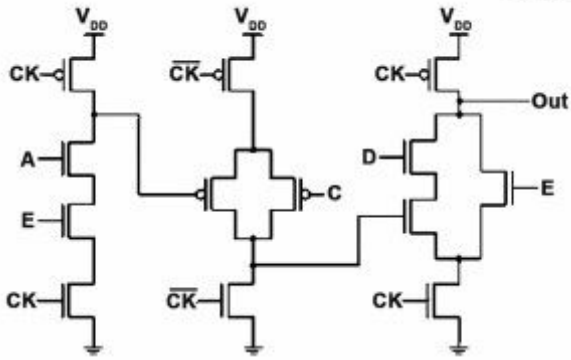
۱) دستور Add و دستور Div

۲) دستور Mult و دستور Div

۳) دستور Mult و دستور Load

۴) دستور Add و دستور Mult

۳۶- در شکل زیر خروجی **OUT** چه تابع منطقی را پیاده‌سازی می‌کند؟



۱) $\left((AB+C')D+E\right)'$

۲) $\left(\left((AB)'+C\right)D+E\right)'$

۳) $\left(\left((AB)'+C\right)'D+E\right)'$

۴) $\left((AB+C')'D+E\right)'$

۳۷- کدام مورد در خصوص دو پدیده **Gate-Induced Drain Leakage (GIDL)** و **Drain-Induced Barrier Lowering (DIBL)** ، درست است؟

۱) اگرچه این دو پدیده در Vdsهای مختلف اتفاق می‌افتند اما ریشه هر دو یکی است.

۲) یکی از این دو پدیده باعث کاهش ولتاژ آستانه و دیگری باعث افزایش جریان نشتی می‌شود.

۳) این دو پدیده ذاتاً یکی هستند ولی یکی توسط ولتاژ Gate و دیگری توسط ولتاژ Drain ایجاد می‌شود.

۴) یکی از این دو پدیده ناظر بر تفاوت جریان گیت به ازاء Vgsهای مختلف و دیگری ناشی از تفاوت جریان Drain به ازاء Vdsهای مختلف است.

۳۸- کدام مورد برای یک ترانزیستور **MOSFET** ، درست است؟

۱) افزایش درجه حرارت باعث تشدید پدیده Negative Bias Temperature Instability (NBTI) می‌گردد و خود NBTI باعث افزایش درجه حرارت تراشه می‌شود.

۲) تأثیر درازمدت پدیده Hot Carrier Injection (HCI) بر روی ترانزیستور PMOS بیشتر از ترانزیستور NMOS است.

۳) افزایش درجه حرارت باعث کاهش میزان تحرک حامل‌ها (mobility) و کاهش ولتاژ آستانه (V_{th}) می‌شود.

۴) افزایش درجه حرارت عامل اصلی به وجود آمدن پدیده Hot Carrier Injection (HCI) است.

۳۹- یک وارونگر در شکل زیر به صورت مدار اولیه نشان داده شده که خازن ورودی آن برابر ۱ و خازن خروجی آن برابر ۲۵۶ است. اگر بخواهیم به صورتی که تحت عنوان مدار نهایی نشان داده شده، تأخیر تحریک این خازن را کاهش دهیم، در بهترین حالت نسبت تأخیر مدار شکل اولیه به مدار نهایی کدام است؟



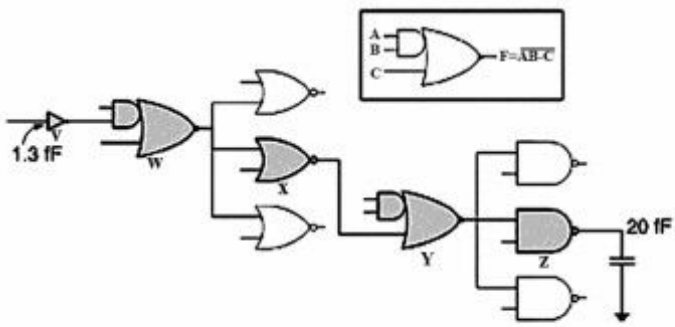
مدار اولیه



مدار نهایی

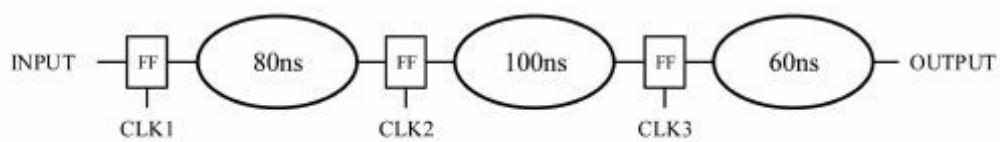
۱) ۳٫۴
۲) ۴
۳) ۱۲٫۸
۴) ۱۶

۴۰- شکل زیر ساختار یک AOI21 چهار ورودی را نشان می‌دهد. در این ساختار AOI21 شامل یک AND-2 (ورودی A و B) و یک ورودی C است که به یک NOR-2 متصل است. برای این که تاخیر مسیر خاکستری نشان داده شده در شکل کمینه شود، مقدار بهینهٔ effort per stage به کدام یک از مقادیر زیر نزدیک‌تر است؟



۱) ۴٫۵
۲) ۴
۳) ۳
۴) ۲٫۵

۴۱- در شکل زیر یک مدار سنکرون نشان داده شده است. در این شکل مستطیل‌ها FlipFlopها را نشان می‌دهند و بیضی‌ها بخش‌های ترکیبی هستند که مقدار تأخیرشان در داخل آنها درج شده است. اگر بتوانیم سیگنال ساعت ورودی هر FlipFlop را با هر مقدار Skew دلخواه (منفی یا مثبت) مسیریابی کنیم، با تنظیم Skew سه سیگنال CLK1، CLK2 و CLK3 کمترین پریود ممکن برای سیگنال ساعت چند ns است؟
(از تأخیر FlipFlopها صرف‌نظر نمایید.)



۱) ۱۰۰ ۲) ۹۰ ۳) ۸۰ ۴) ۶۰

۴۲- کدام مورد، درست است؟

۱) برای شبیه‌سازی جانمایی (layout)، همیشه می‌توان از شبیه‌سازی Spice استفاده کرد.

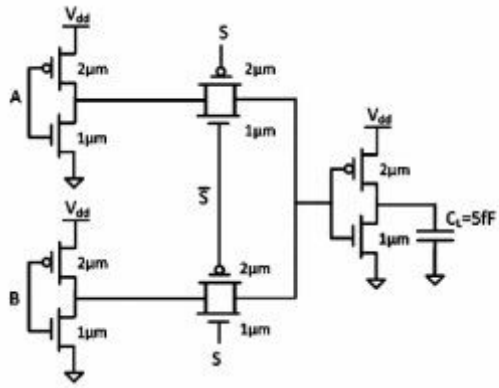
۲) برای شبیه‌سازی جانمایی نهایی، می‌توان نت‌لیست مدار بعد از سنتز منطقی را با اطلاعات تأخیر (SDF) پس از سنتز منطقی شبیه‌سازی کرد.

۳) برای شبیه‌سازی جانمایی نهایی، می‌توان نت‌لیست مدار تولید شده پس از جانمایی را با اطلاعات تأخیر (SDF) پس از جانمایی شبیه‌سازی کرد.

۴) برای شبیه‌سازی جانمایی نهایی، می‌توان نت‌لیست مدار بعد از سنتز منطقی را با اطلاعات تأخیر (SDF) پس از جانمایی شبیه‌سازی کرد.

۴۳- مولتی پلکسر دو ورودی زیر را در نظر بگیرید. فرض کنید جریان نشتی برابر $\frac{W}{L} I \cdot e^{\left(\frac{-|V_T|}{۲\times ۲۵mV}\right)}$ باشد. درصورتی‌که از تمامی خازن‌ها به‌جز خازنی که در شکل نمایش داده شده است و هم‌چنین از جریان **shoot-through** صرف‌نظر شود، زمانی که هر سه ورودی صفر ولت باشند، توان ایستای مصرف شده چند نانو وات است؟ (اعداد نوشته شده مقابل ترانزیستورها عرض ترانزیستور را نشان می دهد.)

$(I_{o,NMOS} = ۴\mu A,\ I_{o,PMOS} = ۲\mu A,\ V_{DD} = ۱/۵ V,\ V_{TN} = |V_{TP}| = ۰/۲۵V, L_{min} = ۱۰۰nm,\ e^{-۵} = ۰/۰۰۷)$



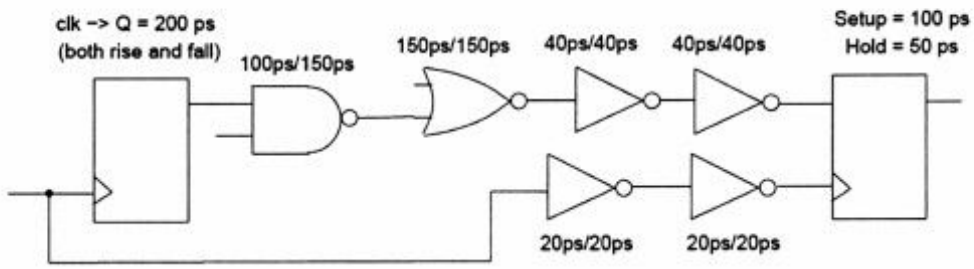
۱) ۲۱۰۰

۲) ۱۶۸۰

۳) ۱۲۶۰

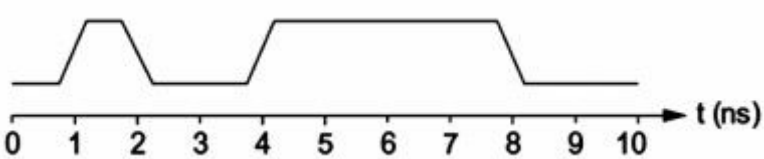
۴) ۸۴۰

۴۴- حداکثر فرکانس مجاز کلاک برای عملکرد درست مدار چند **GHz** است؟ (اعداد مشخص شده برای هر گیت تأخیر صعود (عدد سمت چپ) و تأخیر نزول (عدد سمت راست) می باشد.)



۱) ۱/۵۶ ۲) ۲/۲۷ ۳) ۱/۶۹ ۴) ۲/۵۶

۴۵- مداری با ولتاژ $۱/۵ V$ و با پالس ساعت $۱GHz$ کار می‌کند. خروجی مدار به یک خازن $۱pF$ متصل است. اگر شکل موج خروجی مدار به صورت زیر باشد، توان پویای (دینامیک) مربوط به خروجی چند **mw** است؟



۱) ۰/۴۵ ۲) ۰/۹ ۳) ۱/۱۲۵ ۴) ۲/۲۵