292F

292

F

نام:

نام خانوادگی:

محل امضا:

@RayanAzmoon

اگر دانشگاه اصلاح شود مملکت اصلاح می‌شود.
امام خمینی (ره)

صبح جمعه
۹۳/۱۲/۱۵
دفترچه شماره ۱ از ۲

جمهوری اسلامی ایران
وزارت علوم، تحقیقات و فنّاوری
سازمان سنجش آموزش کشور

آزمـــون ورودی
دوره‌های دکتـــری (نیمه متمرکز) داخل ــ ســـال ۱۳۹۴

مهندسی کامپیوتر ــ معماری سیستم‌های کامپیوتری
(کد ۲۳۵۵)

تعداد سؤال: ۴۵ — مدت پاسخگویی: ۱۵۰ دقیقه

عنوان مواد امتحانی، تعداد و شماره سؤالات

ردیف	مواد امتحانی	تعداد سؤال	از شماره	تا شماره
۱	مجموعه دروس تخصصی (مدار منطقی ـ معماری کامپیوتر پیشرفته، VLSI پیشرفته)	۴۵	۱	۴۵

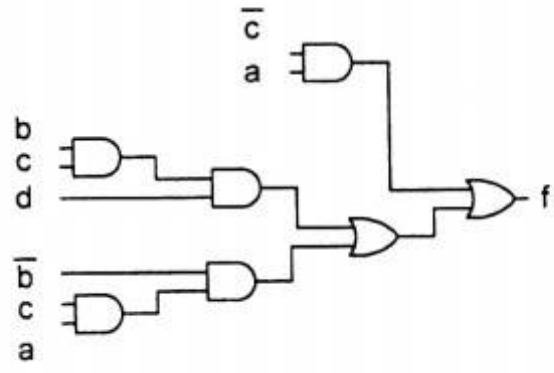
این آزمون نمرهٔ منفی دارد.

استفاده از ماشین حساب مجاز نیست.

اسفند ماه ــ سال ۱۳۹۳

حق چاپ، تکثیر و انتشار سوالات به هر روش (الکترونیکی و ...) پس از برگزاری آزمون، برای تمامی اشخاص حقیقی و حقوقی تنها با مجوز این سازمان مجاز می‌باشد و با متخلفین برابر مقررات رفتار می‌شود.

۱- کدام گزینه در مورد مخاطره در مدار داده شده صحیح است؟



۱) گذار abcd:1111→0111 یک glitch با با پهنایی برابر تأخیر ۱ گیت ایجاد می‌کند
۲) گذار abcd:1011→1001 یک glitch با پهنایی برابر تأخیر ۱ گیت ایجاد می‌کند
۳) گذار abcd:1111→1011 یک glitch با پهنایی برابر تأخیر ۲ گیت ایجاد می‌کند
۴) گذار abcd:1101→1111 یک glitch با پهنایی برابر تأخیر ۲ گیت ایجاد می‌کند

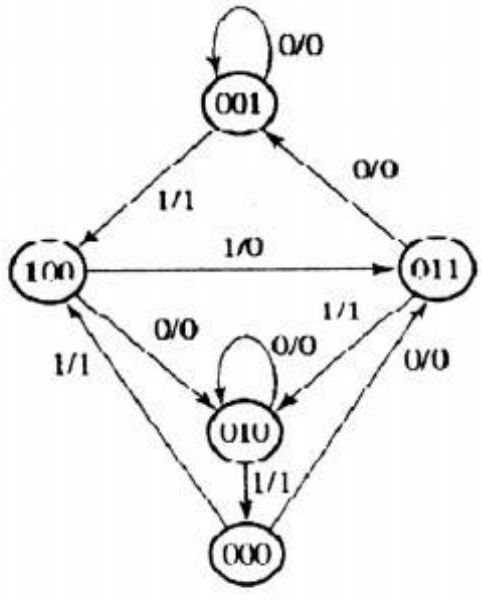
۲- ساده‌سازی تابع زیر به صورت **SOP** چند جواب (تا حد امکان ساده شده) دارد؟

$f(w, x, y, z) = \prod M(0,4,7,8,11)$, don't care: (2, 15)

۱) ۱
۲) ۲
۳) ۳
۴) ۴

۳- فرض کنید در نمودار حالت روبرو حالت فعلی **(ABC) = 110** و ورودی **X** برابر با **0** است. حالت بعدی را بدست آورید؟ اگر در پیاده‌سازی این نمودار با استفاده از ۳ فلیپ-فلاپ **JK** داشته باشیم:

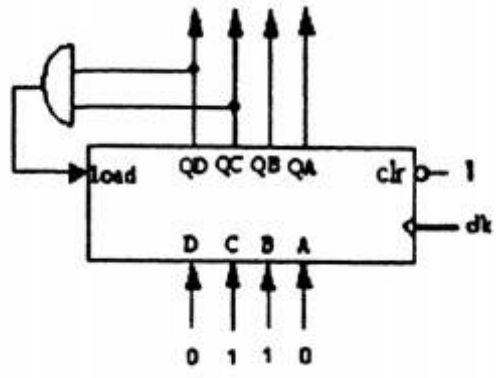
$J_A = B'X$ $K_A = 1$
$J_B = A+C'X'$ $K_B = XC'+CX'$
$J_C = AX+A'B'X'$ $K_C = X$



۱) 001
۲) 010
۳) 011
۴) 111

@RayanAzmoon

۴- به فرض این که سیگنال **load** همگام با **clk** است، دنباله خروجی شمارنده‌ی زیر کدام است؟



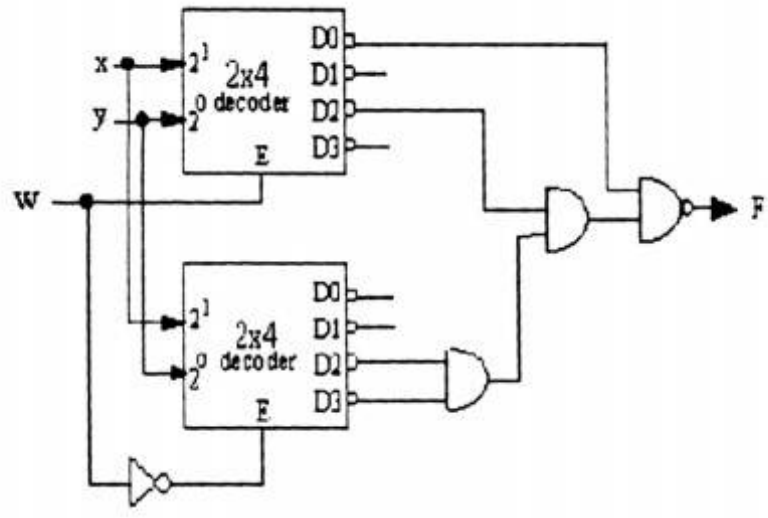
۱) $6 \rightarrow 7 \rightarrow 8 \rightarrow 9 \rightarrow 10 \rightarrow 11 \rightarrow 6 \rightarrow \ldots$

۲) $0 \rightarrow 1 \rightarrow \ldots \rightarrow 10 \rightarrow 11 \rightarrow 0 \rightarrow \ldots$

۳) $6 \rightarrow 7 \rightarrow 8 \rightarrow 9 \rightarrow 10 \rightarrow 11 \rightarrow 12 \rightarrow 6 \rightarrow \ldots$

۴) $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 7 \rightarrow 8 \rightarrow 9 \rightarrow 10 \rightarrow 11 \rightarrow 12 \rightarrow 0 \rightarrow \ldots$

۵- عبارت **SOP** متعارف تابع **F(w,x,y)** کدام است؟



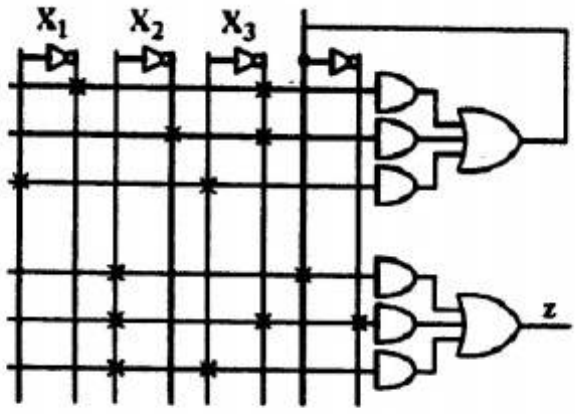
۱) $\Sigma m(0,1,5,7)$

۲) $\Sigma m(0,2,6,7)$

۳) $\Sigma m(1,3,4,5)$

۴) $\Sigma m(2,3,4,6)$

۶- تابع معادل Z در PAL مقابل کدام است؟



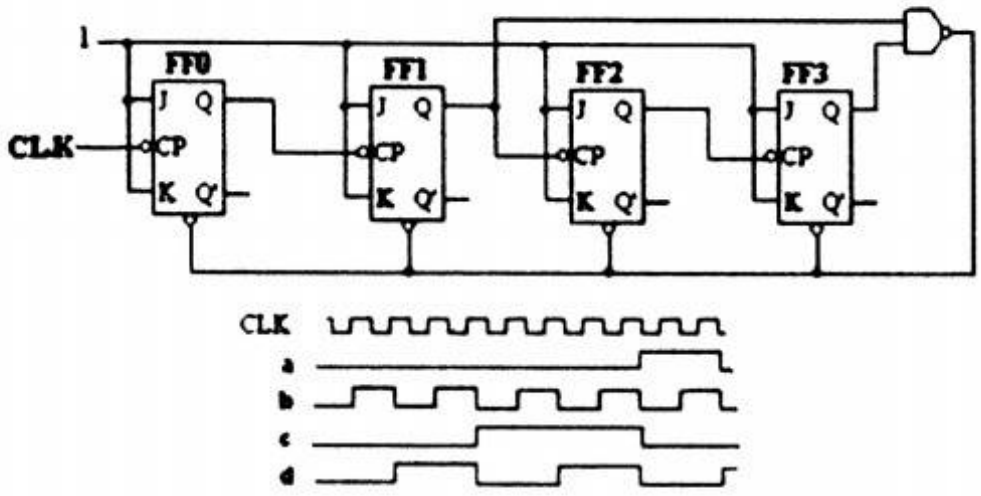
۱) $X_2X_3'X_1'$

۲) X_2

۳) X_2X_3

۴) $X_2X_1'X_3' + X_2'X_3' + X_1X_2X_3$

۷- کدامیک از شکل موج‌های زیر خروجی FF2 را نشان می‌دهد؟



۱) d

۲) c

۳) b

۴) a

۸- برای پیاده سازی مدار ساده شده عبارت $AB\overline{C} + AC + AB$ چه گیتهایی (با کمتر از سه ورودی) نیاز است؟

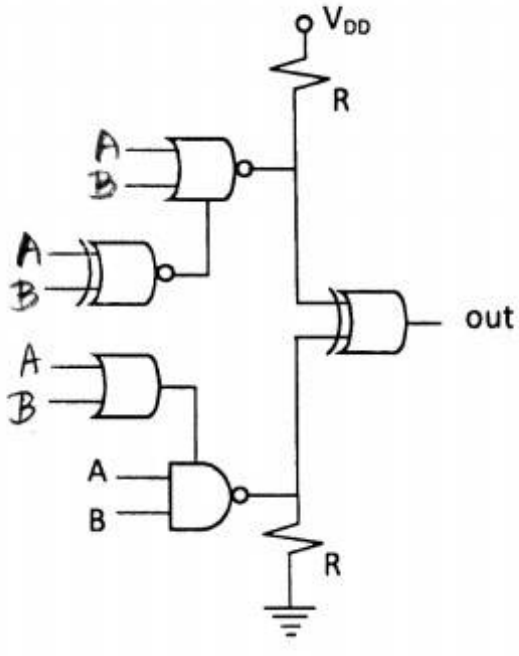
۱) یک or و یک and

۲) یک or و دو and

۳) یک or و دو and و یک not

۴) یک or و سه and و یک not

۹- خروجی شکل زیر معادل کدام تابع (با دو ورودی A و B) است؟



۱) NOR

۲) XOR

۳) NAND

۴) XNOR

@RayanAzmoon

۱۰- **برای ساخت یک مالتی پلکسر ۱۶ به ۱ (16X1 MUX) از کدامیک از موارد زیر میتوان استفاده کرد؟**

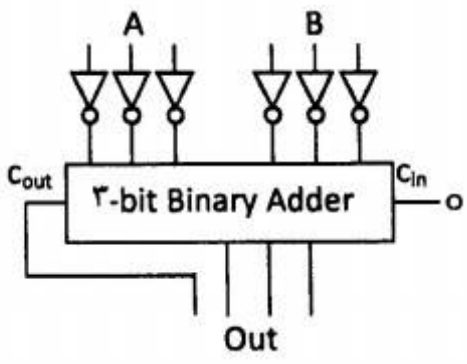
۱) چهار MUX ۴×۱ و یک ۲×۱

۲) یک MUX ۸×۱ و هشت MUX ۲×۱

۳) چهارده MUX ۲×۱

۴) موارد ۲ و ۳

۱۱- **خروجی مدار زیر برای ورودی‌های سه بیتی A و B کدام است؟**



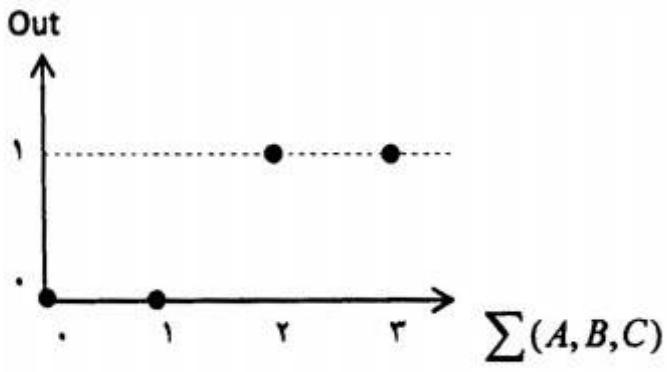
۱) $-A(A+B)$

۲) $-A-B-1$

۳) $A+B-2$

۴) $-(A+B)-2$

۱۲- **شکل زیر کدام تابع منطقی سه وروی را نشان میدهد؟**



۱) $A+B+C$

۲) $\overline{A+B+C}$

۳) $AB+AC+BC$

۴) $\overline{AB+AC+BC}$

۱۳- **کدام گزاره درست است؟**

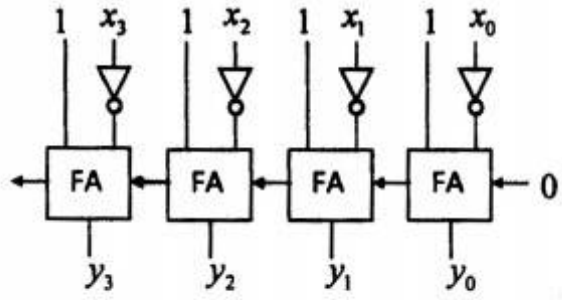
۱) XOR با قابلیت wired-AND یک گیت کامل است.

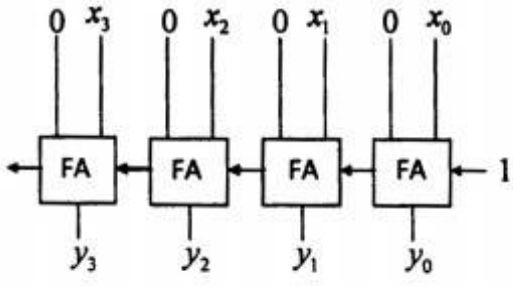
۲) XOR با قابلیت wired-OR یک گیت کامل است.

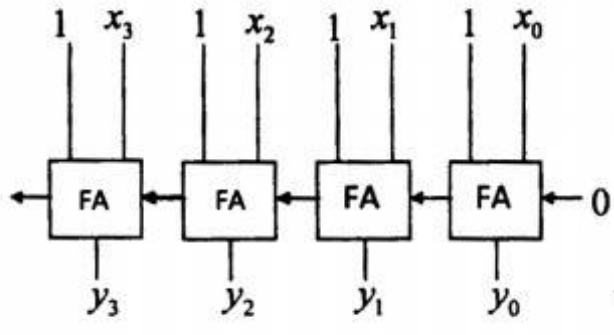
۳) XOR یک گیت کامل است.

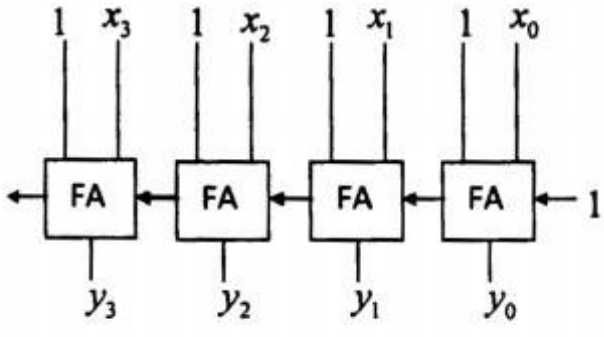
۴) موارد ۱ و ۲ درست هستند.

۱۴- کدام مدار عدد چهاربیتی منفی متمم-۲ $(x_3x_2x_1x_0)$ را به معادل متمم-۱ $(y_3y_2y_1y_0)$ تبدیل میکند؟

۱)


۲)


۳)


۴)


۱۵- مدار متناظر با کدام جدول کارنو کامل است؟

۱)

	$\overline{x}\overline{y}$	$\overline{x}y$	xy	$x\overline{y}$
$\overline{z}$	1		1	
z		1		1

۲)

	$\overline{x}\overline{y}$	$\overline{x}y$	xy	$x\overline{y}$
$\overline{z}$		1		1
z	1		1	

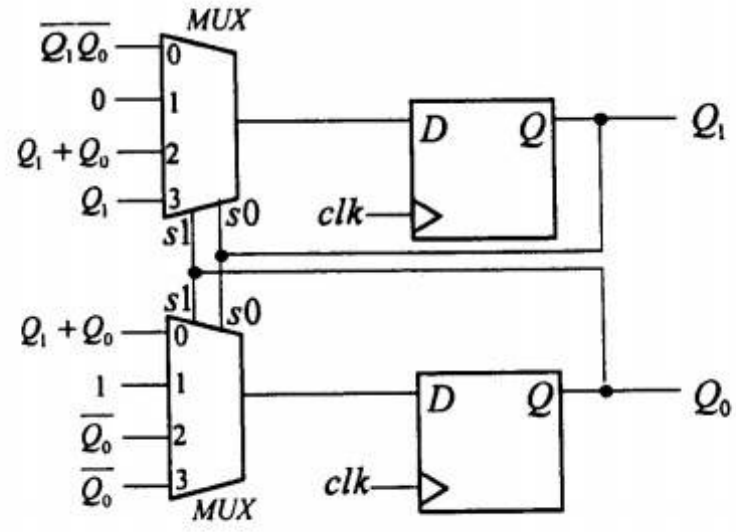
۳)

	$\overline{x}\overline{y}$	$\overline{x}y$	xy	$x\overline{y}$
$\overline{z}$	1	1	1	
z		1		

۴)

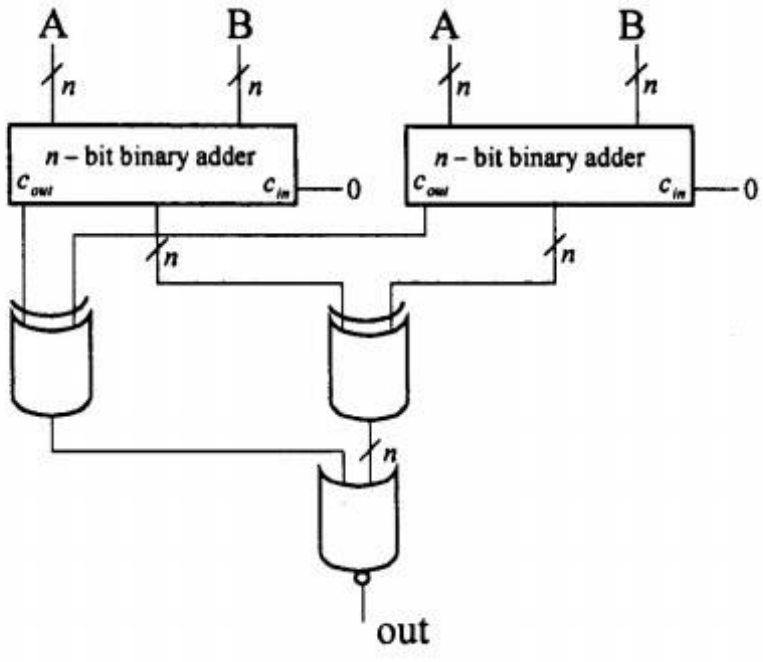
	$\overline{x}\overline{y}$	$\overline{x}y$	xy	$x\overline{y}$
$\overline{z}$			1	
z		1	1	1

۱۶- اگر مدار زیر از حالت اولیه **00** شروع بکار کند پس از دو پالس ساعت خروجی چه خواهد بود؟



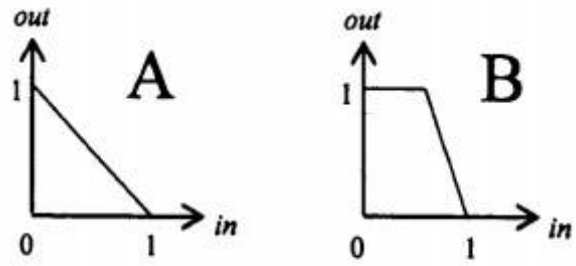
۱) $Q_1Q_0 = 00$
۲) $Q_1Q_0 = 10$
۳) $Q_1Q_0 = 01$
۴) $Q_1Q_0 = 11$

۱۷- مقدار خروجی **out** چیست؟



۱) همواره 0
۲) همواره 1
۳) وقتی A<B باشد، خروجی 0 است
۴) وقتی A<B باشد، خروجی 1 است

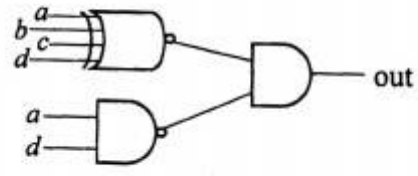
۱۸- با توجه به شکل زیر کدام گزینه صحیح است؟

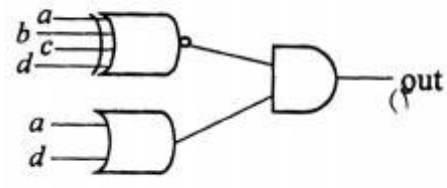


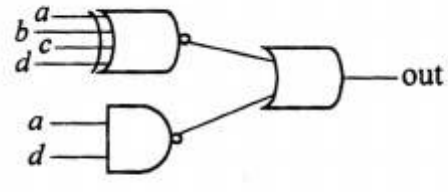
۱) مدار B نسبت به نویز حساستر از مدار A است.
۲) مدار A نسبت به نویز حساستر از مدار B است.
۳) هر دو مدار A و B مثل هم به نویز حساسند.
۴) با این اطلاعات نمیتوان در مورد حساسیت به نویز این دو مدار قضاوت کرد.

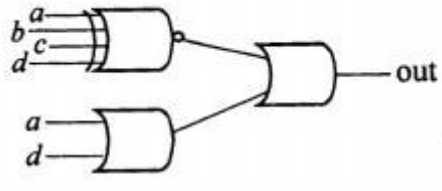
۱۹- مدار معادل تابع خروجی مشخص شده توسط جدول کارنو زیر کدام است؟

	$\bar{c}\bar{d}$	$\bar{c}d$	cd	$c\bar{d}$
$\bar{a}\bar{b}$	1	0	1	0
$\bar{a}b$	0	1	0	1
ab	1	0	0	0
$a\bar{b}$	0	×	×	1

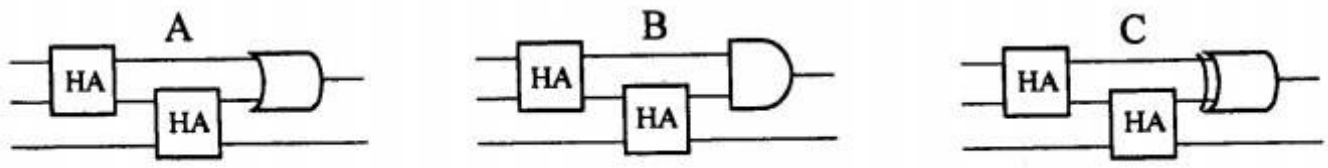
۱)


۲)


۳)


۴)


۲۰- کدامیک از مدارهای زیر میتواند به عنوان FA استفاده شود؟



۱) مدار A
۲) مدار B
۳) مدار A وC
۴) مدار B و C

۲۱- کدام گزینه در مورد روشهای سوئیچینگ در چندکامپیوترها صحیح است؟

۱) امکان به کارگیری کانال مجازی فقط در روشهای سوئیچینگ VCT و ذخیره-و-ارسال وجود دارد.
۲) روش سوئیچینگ ذخیره-و-ارسال (store and forward) برای شبکه‌های با قطر کوچک مناسبتر است.
۳)کارایی روش سوئیچینگ خزشی (wormhole switching) و روش سوئیچینگ مدار (circuit switching) در ترافیک شبکه سنگین تقریبا یکسان است.
۴) کارایی روش سوئیچینگ VCT (virtual cut-through switching) و روش سوئیچینگ مدار (circuit switching) در ترافیک شبکه سبک تقریبا یکسان است.

۲۲- میخواهیم n برنامه هر یک با زمان اجرای T و زمان اجرای بخش سریال t و n برنامه دیگر با زمان اجرای 2T و زمان اجرای بخش سریال t را اجرا کنیم. حداکثر تسریع قابل احتصال برای اجرای این 2n برنامه روی یک سیستم چندپردازنده متشکل از n پردازنده (نسبت به اجرای روی یک پردازنده) چیست؟

۱) n
۲) $2nt / T$
۳) $2n / 3$
۴) $3nT / (t + 3(T - T) / n)$

۲۳- اگر فاصله همینگ آدرس دو گره A وB در یک شبکه فوق مکعب (hypercube) n بعدی برابر m باشد، فاصله این دو گره و تعداد مسیرهای متفاوت بین آنها به ترتیب کدام است؟

۱) m گام و m مسیر
۲) m گام و m! مسیر
۳) m-1 گام و m! مسیر
۴) m-1 گام و m مسیر

۲۴- جدول رزرواسیون یک سیستم خط لوله‌ای ۳ سطحی به شکل زیر است. کدام تاخیر راه اندازی (initiation latency) منجر به بروندهی (throughput) بیشتر (بر حسب سیکل) خواهد شد؟

	t	t	t	t	t	t
S	X					X
S		X		X	X	
S			X			

۱) ۲
۲) ۳
۳) ۴
۴) ۵

۲۵- جدول رزرواسیون زیر نشاندهنده چگونگی فعالیتهای سطوح مختلف یک خط لوله برای محاسبه دو تابع A وB است. ماتریس تصادم اولیه (initial collision matrix) کدام است؟

	t1	t2	t3	t4	t5
S1	A			B	
S2	B		B		A
S3		A	A		B
S4		B		A	

۱) $M_A = \begin{bmatrix}0001\\1010\end{bmatrix}, \quad M_B = \begin{bmatrix}0110\\0010\end{bmatrix}$

۲) $M_A = \begin{bmatrix}0001\\1010\end{bmatrix}, \quad M_B = \begin{bmatrix}0010\\0110\end{bmatrix}$

۳) $M_A = \begin{bmatrix}0001\\0110\end{bmatrix}, \quad M_B = \begin{bmatrix}1010\\0010\end{bmatrix}$

۴) $M_A = \begin{bmatrix}0110\\1010\end{bmatrix}, \quad M_B = \begin{bmatrix}0001\\0010\end{bmatrix}$

۲۶- در یک پردازنده خط لوله ای دستورات نوع A و نوع B سطوح زیر را برای واکشی و اجرا بایستی طی کنند. برای اجرای دو دستور متوالی (دستور i از نوع A و دستور i+1 از نوع B) در یک برنامه احتمال وقوع کدام hazard وجود دارد؟

A

Cycle 1	Cycle 2	Cycle 3	Cycle 4	Cycle 5	Cycle 6	Cycle 7	Cycle 8
fetch	decode	Read register operand 1	Read register operand 2	Read register operand 3	Read register operand 4	ALU	Write register operand 1

B

Cycle 1	Cycle 2	Cycle 3	Cycle 4	Cycle 5	Cycle 6
fetch	decode	Read register operand 1	Write register operand 2	ALU	Write register operand 1

۱) read-after-write ۲) write-after-write
۳) write-after-read ۴) هر یک از موارد ۱، ۲، و ۳ میتوانند رخ دهند.

۲۷- کدام گزینه در مورد انواع فقدان (miss) در حافظه نهان صحیح است؟

۱) فقدان تضاد (conflict miss) فقط در حافظه نهان با نگاشت مستقیم رخ میدهد.
۲) فقدان اجباری (compulsory miss) فقط در حافظه نهان با نگاشت مستقیم رخ میدهد.
۳) فقدان ظرفیت (capacity miss) فقط در حافظه نهان با نگاشت کاملا انجمنی (fully-associative) رخ میدهد.
۴) هر سه نوع فقدان اجباری، تضاد و ظرفیت میتوانند در حافظه نهان با نگاشت مجموعه-انجمنی (set-associative) رخ دهند.

۲۸- در یک کامپیوتر برداری خط لوله الف (دارای n سطح) برای محاسبه تابع f1 روی عناصر بردار ورودی و خط لوله ب (دارای m سطح) برای محاسبه تابع f2 روی عناصر بردار ورودی موجودند. اگر تسریع محاسبه متوالی دو تابع f1 و f2 روی عناصر بردار ورودی V (یعنی محاسبه f1(f2(V))) در سیستم با امکان زنجیرکردن خطوط لوله (pipeline chaining) نسبت به سیستم خط لوله معمولی (بدون امکان زنجیر کردن) برابر $\frac{3}{2}$ باشد تعداد عناصر بردار ورودی (طول بردار) چقدر است؟

۱) $m+n+1$
۲) $m-n-1$
۳) $2m+2n$
۴) با این فرضیات قابل تعیین نیست.

۲۹- در یک پیش بینی کننده پرش دو بیتی از نوع GAs(2,4) آدرس دستور پرش جاری a و تابع نگاشت آدرس به مجموعه f است. اگر برای دستور پرش جاری داشته باشیم f(a)=2 و سه دستور پرش قبلی به ترتیب not-taken، taken و taken بوده باشند و جدول PHT (Pattern history table) بصورت زیر باشد، خروجی پیش بینی کننده و مقدار جدید درایه مربوطه در جدول PHT به ترتیب چه خواهد بود؟

PHT	00	01	10	11
00	10	00	11	00
01	10	11	11	01
10	11	10	11	01
11	01	00	01	00

۱) not-taken و 00
۲) not-taken و 01
۳) taken و 10
۴) taken و 11

۳۰- کدام گزاره صحیح است؟

۱) در معماری کامپیوترهای برداری کاربرد خط لوله منحصرا در واحد محاسبه (ALU) است.
۲) وابستگی داده‌ای read-after-write را میتوان با روش register renaming از بین برد.
۳) روش پرش معوق (delayed branch) روشی برای به تاخیر انداختن دستور پرش است تا نتیجه انجام یا عدم انجام پرش مشخص شود.
۴) روشهای جایگزینی NRU (not recently used) و LRU (least recently used) در یک حافظه نهان 2-way set associative معادلند.

۳۱- در یک خط لوله، بردار تصادم اولیه (initial collision vector) برابر $V_0 = (1101011)$ است. کدام گزینه درست است؟

منظور از MAL (minimum average latency) مقدار کمینه متوسط تاخیر راه اندازی است.

۱) MAL = ۴ و (۳,۵) سیکل حریصانه (greedy cycle) است.
۲) MAL = ۴ و (۳,۸) سیکل حریصانه (greedy cycle) است.
۳) MAL = ۴/۵ و <۳,۹,۵,۳> یک دنباله تاخیرهای راه اندازی مجاز است.
۴) MAL = ۴/۵ و <۳,۹,۳,۶> یک دنباله تاخیرهای راه اندازی مجاز است.

۳۲- قطر (diameter) و پهنای میان برشی (bisection width) یک شبکه توری مدور n-بعدی (n-dimensional torus) با اندازه ابعاد ۲k گره برابر است با:

۱) $nk-n$ و k^{n-1}
۲) nk و $2^n k^{n-1}$
۳) nk و $2k^{n-1}$
۴) $nk-n$ و $2^{n-1}k^{n-1}$

۳۳- با فرض اینکه ۲۰٪ دستورات یک برنامه پرش شرطی هستند، حداکثر تسریع در اجرای این برنامه روی یک پردازنده ابراسکالر ۴-راهه **(4-way superscalar)** با خط لوله ۸ سطحی نسبت به پردازنده با معماری معمولی (بدون خط لوله) چیست؟ فرض کنید در پردازنده ابراسکالر مذکور از یک پیش بینی کننده پرش با نرخ پیش بینی صحیح ۹۰٪ استفاده میشود.

۱) حدود ۳۲

۲) حدود ۲۶

۳) حدود ۲۰

۴) حدود ۱۲

۳۴- کدام گزینه توابع مناسب **Lock** و **Unlock** را برای پیاده سازی ناحیه بحرانی نشان میدهد؟
دستورات **test_and_set** و **exchange** اتمیک هستند. دستور **JCXZ** در صورتی که محتویات ثبات **CX** صفر باشد به آدرس داده شده پرش میکند.

۱)

```
Lock:   test_and_set   lock_var          Unlock: move   lock_var,#0
        jnz            Lock; jump if not-zero
```

۲)

```
Lock:   test_and_set   lock_var          Unlock: move   lock_var,#1
        jz             Lock; jump if zero
```

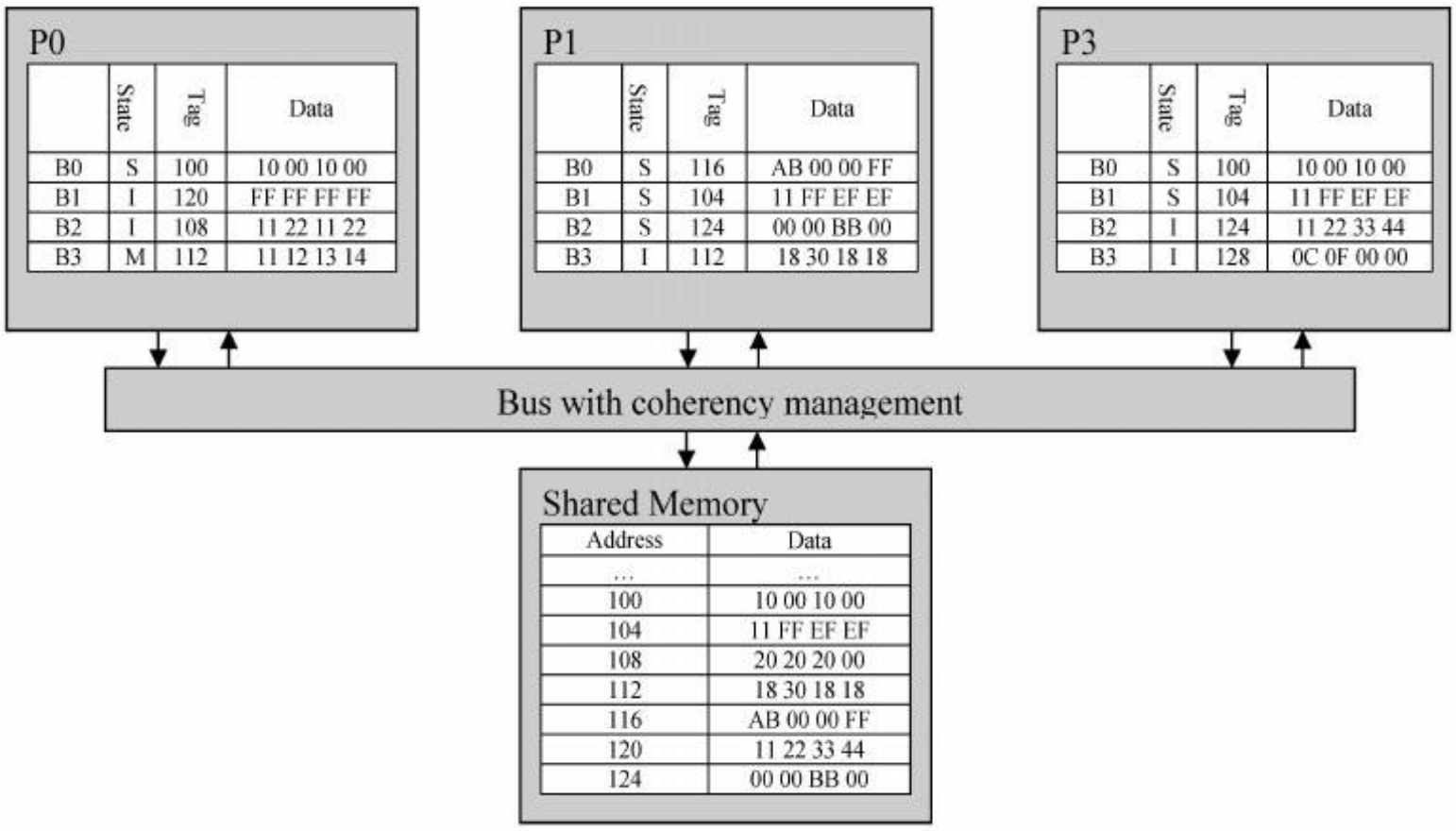
۳)

```
Lock:   move       CX,#1          Unlock: move   lock_var,#1
Loop1:  exchange   CX,lock_var
        jcxz       Loop1
```

۴)

```
Lock:   move       CX,#1          Unlock: move   lock_var,#0
Loop1:  exchange   CX,lock_var
        Compare    CX,#1
        jeq        Loop1; jump if equal
```

۳۵- در یک سیستم چندپردازنده متقارن، که از پروتکل MSI برای همسانی حافظه‌های نهان استفاده می‌کند، وضعیت حافظه مشترک و حافظه‌های نهان مطابق شکل زیر است. حافظه‌های نهان از نوع Direct Map هستند و برای سادگی فرض کنید هرکدام فقط ۴ بلوک دارند و در هر بلوک ۴ بایت ذخیره می‌شود و همچنین هر Tag، تمام آدرس را در بر دارد. (داده‌های ۴ بایتی بترتیب صعودی آدرس، از چپ به راست نوشته شده‌اند.)



	State	Tag	Data
B0	S	100	10 00 10 00
B1	I	120	FF FF FF FF
B2	I	108	11 22 11 22
B3	M	112	11 12 13 14

	State	Tag	Data
B0	S	116	AB 00 00 FF
B1	S	104	11 FF EF EF
B2	S	124	00 00 BB 00
B3	I	112	18 30 18 18

	State	Tag	Data
B0	S	100	10 00 10 00
B1	S	104	11 FF EF EF
B2	I	124	11 22 33 44
B3	I	128	0C 0F 00 00

Address	Data
…	…
100	10 00 10 00
104	11 FF EF EF
108	20 20 20 00
112	18 30 18 18
116	AB 00 00 FF
120	11 22 33 44
124	00 00 BB 00

پس از اجرای رشته عملیات زیر، مقدار و وضعیت داده‌ی آدرس ۱۱۷ در حافظه مشترک و نیز در حافظه‌های نهان سه پردازنده چگونه است؟

P۰ مقدار **۲۰** را در آدرس **۱۰۲** می‌نویسد.

P۰ با شروع از آدرس **۱۱۹**، دو بایت می خواند.

P۰ مقدار **۳۰** را در آدرس **۱۱۷** می‌نویسد.

P۱ از آدرس **۱۱۶** یک بایت می‌خواند.

P۳ از آدرس **۱۱۹** یک بایت می‌خواند.

P۰ مقدار **۲۰** را در آدرس **۱۱۹** می‌نویسد.

۱) P۰: M, ۳۰. P1:I, ۳۰. P3: I, ۳۰. Shared-Memory: up to date, ۳۰.

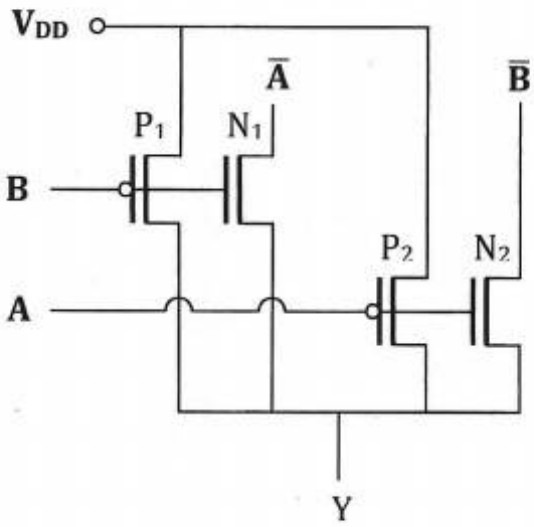
۲) P۰: M, ۳۰. P1:I, ۰۰. P3: I, ۳۰. Shared-Memory: out of date, ۳۰.

۳) P۰: S, ۳۰. P1:S, ۳۰. P3: S, ۳۰. Shared-Memory: up to date, ۳۰.

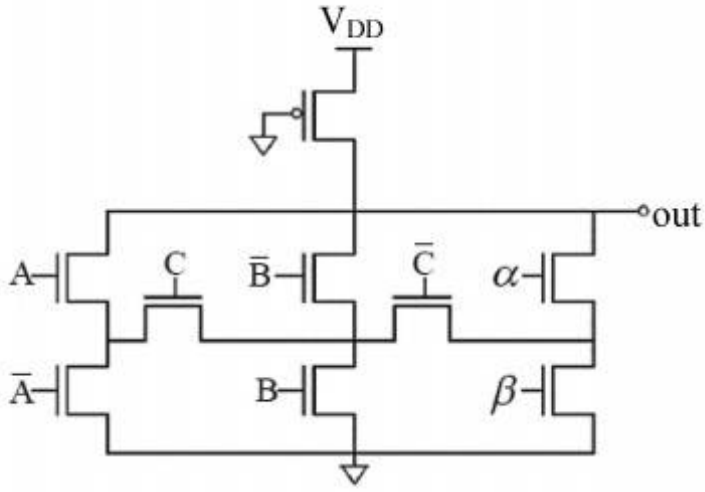
۴) P۰: M, ۳۰. P1:I, ۳۰. P3: I, ۳۰. Shared-Memory: out of date, ۳۰.

۳۶- در شکل زیر چه تابعی پیاده سازی شده است؟

۱) OR ۲) AND ۳) NOR ۴) NAND



۳۷- در مدارشکل زیر، ورودی‌های αوβ را به گونه‌ای تعیین کنید که خروجی مدار یک **XNOR** سه ورودی باشد.



۱) $\alpha = \overline{A}$, $\beta = A$

۲) $\alpha = A$, $\beta = \overline{A}$

۳) $\alpha = \overline{B}$, $\beta = B$

۴) $\alpha = B$, $\beta = \overline{B}$

۳۸- خروجی مدار زیر چه دروازه منطقی می‌باشد؟

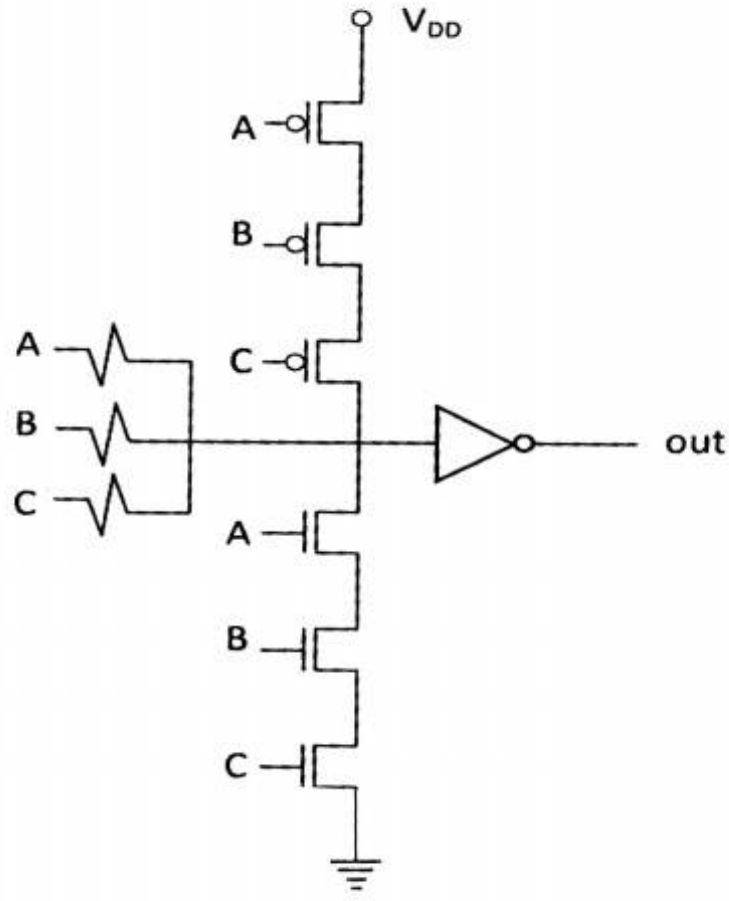
توجه: معکوس کننده در $V_{DD}/2$ تغییر حالت میدهد.

۱) XOR

۲) AND

۳) NAND

۴) AB + AC+ BC



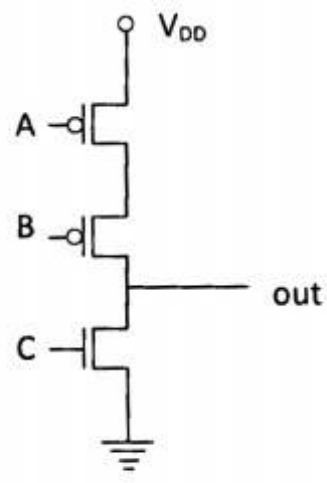
۳۹- خروجی out در چند حالت در وضعیت شناور (High Z) است؟

۱) دو حالت

۲) سه حالت

۳) بیش از سه حالت

۴) هیچ حالت



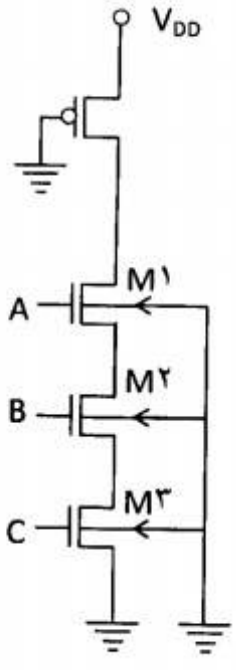
۴۰- در شکل زیر، کدام ترانزیستور کمترین ولتاژ آستانه (V_t) را دارد؟

۱) M_1

۲) M_2

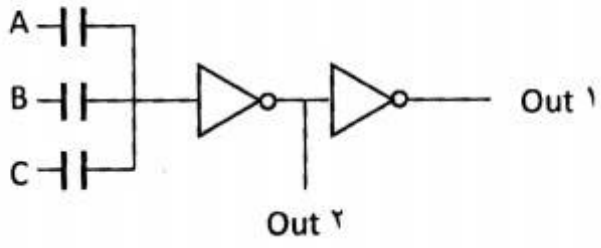
۳) M_3

۴) ولتاژ آستانه همه ترانزیستورها یکسان است.



۴۱- اگر خازن‌های نمایش داده شده بسیار بزرگ‌تر از خازن‌های مربوط به ترانزیستورها باشند، و بخواهیم از دو خروجی مدار زیر به عنوان خروجی‌های یک full adder استفاده کنیم، در چند حالت جواب اشتباه خواهیم گرفت؟ (یعنی حداقل یکی از دو خروجی مقدار نادرست خواهد داشت).

توجه: معکوس کننده‌ها در $V_{DD}/2$ تغییر حالت میدهد.



۱) یک حالت

۲) دو حالت

۳) سه حالت

۴) بیش از سه حالت

۴۲- می‌خواهیم یک گیت NOR سه ورودی نامتقارن طراحی نماییم که در آن یک ورودی (A) نسبت به دو ورودی دیگر ترجیح داده شده باشد. اگر اندازه ترانزیستورهای NMOS برابر ۱، اندازه ترانزیستور PMOS متصل به A برابر ۴، و مقدار تلاش منطقی (logical effort) در ورودی A برابر پنج سوم باشد، اندازه ترانزیستورهای PMOS متصل به B و C چقدر است؟

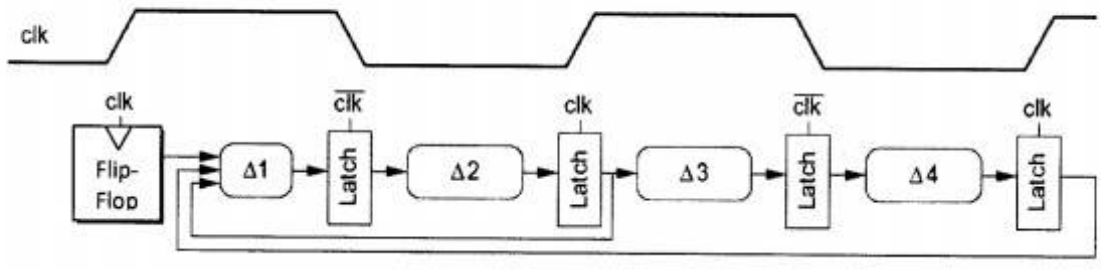
۱) چهار

۲) چهار سوم

۳) هشت

۴) هشت سوم

۴۳- مدار زیر را در نظر بگیرید. با فرض این که تاخیر لچها در داخل تاخیر مدارهای ترکیبی لحاظ شده-است،حداکثر فرکانس کاری مدار چند هرتز است؟



Skew= ۱۰۰ps
Δ۴ = ۳۵۰ps
Δ۳ = ۲۰۰ps
Δ۲ = ۹۰۰ps
Δ۱ = ۳۰۰ps

۱) $۱۰^{۱۲}/۱۳۰۰$

۲) $۱۰^{۱۲}/۱۷۵۰$

۳) $۱۰^{۱۲}/۱۸۵۰$

۴) $۱۰^{۱۲}/۲۱۵۰$

۴۴- می‌خواهیم یک حافظه SRAM که ۱۰۲۴ کلمه ۴ بیتی دارد بسازیم. اگر قرار باشد که این حافظه به صورت یک مربع چینش بشود، سایز هر سلول حافظه ۰/۱۷۵ میکرون مربع باشد، و مساحت قسمتهای جانبی ۳۰٪ از کل فضای حافظه را تشکیل دهد، کدام یک از گزینه‌های زیر صحیح است؟

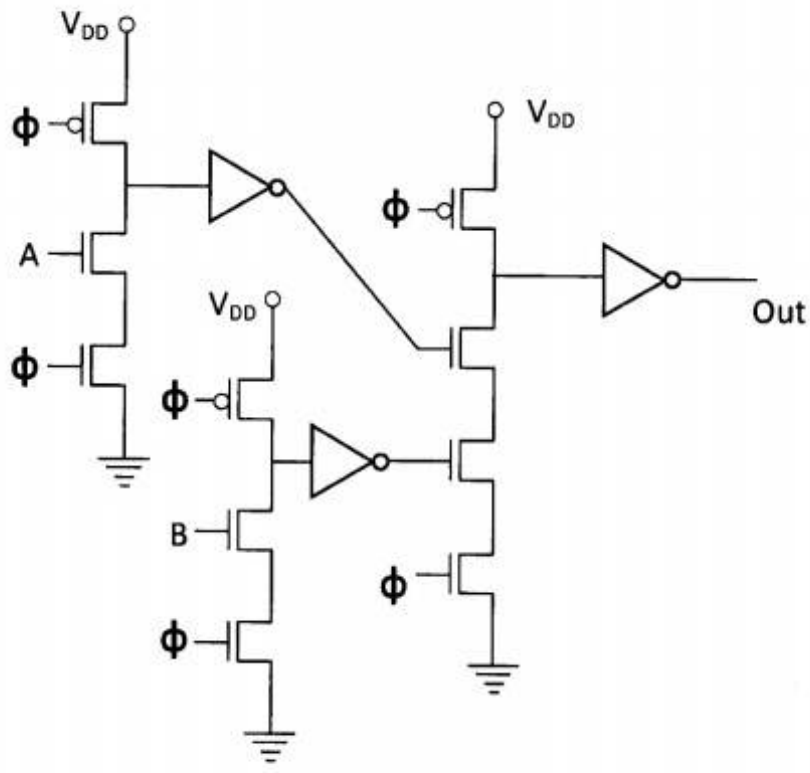
۱) تعدادمالتی‌پلکسرهای لازم برای ستونها برابر ۶ و سایز کل این حافظه تقریباً برابر با ۹۰۰ میکرون مربع خواهد بود.

۲) تعدادمالتی‌پلکسرهای لازم برای ستونها برابر ۴ و سایز کل این حافظه تقریباً برابر با ۹۰۰ میکرون مربع خواهد بود.

۳) تعدادمالتی‌پلکسرهای لازم برای ستونها برابر ۶ و سایز کل این حافظه تقریباً برابر با ۱۰۰۰ میکرون مربع خواهد بود.

۴) تعداد مالتی‌پلکسرهای لازم برای ستونها برابر ۴ و سایز کل این حافظه تقریباً برابر با ۱۰۰۰ میکرون مربع خواهد بود.

۴۵- در مدار زیر چه ایرادی ممکن است به وجود آید؟



۱) خروجی ممکن است نوسانی شود.

۲) تغییر ناخواسته خروجی از صفر به یک.

۳) به دلیل پدیده latchup ممکن است عملکرد مدار غیر قابل پیش‌بینی شود.

۴) امکان دارد خروجی‌های طبقه اول مانع از پیش‌شارژ شدن (precharge) صحیح طبقه نهایی گردد.