www.konkur.in

به نام خدا

سایت کنکور www.KONKUR.IN

انجمن کنکور www.KONKUR.US

مرجع دانلود رایگان سوالات و پاسخ کلیدی کنکورهای

دکتری و کارشناسی ارشد و کارشناسی همه رشته ها

سوالات کنکور سراسری و آزاد داخل و خارج از کشور

دانلود کنکورهای آزمایشی گزینه دو ، سنجش ، قلمچی ، گاج

دانلود جزوات درسی بهترین اساتید کشور و موسسات کنکوری

دانلود کتابهای درسی و دانشگاهی و حل المسائل ها

مصاحبه و کارنامه نفرات برتر کنکور و ارشد

مشاوره تحصیلی و انگیزشی کنکوری و ارشد

سوالات پیام نور و المپیاد و آزمایشگاه ها

مدیریت سایت و انجمن کنکور : محمد و فراز رهبر

سنجش تکمیلی امیرکبیر
www.konkur.in
www.sanjeshEtakmili.com

368

F

368F

نام

نام خانوادگی

محل امضاء

اگر دانشگاه اصلاح شود مملکت اصلاح می‌شود.
امام خمینی (ره)

صبح جمعه
۹۱/۱۲/۱۸
دفترچه شماره ۱

جمهوری اسلامی ایران
وزارت علوم، تحقیقات و فناوری
سازمان سنجش آموزش کشور

آزمون ورودی
دوره‌های دکتری (نیمه متمرکز) داخل
در سال ۱۳۹۲

رشته‌ی
مهندسی کامپیوتر ـ معماری سیستم‌های کامپیوتری (سخت‌افزار) (کد ۲۳۵۵)

تعداد سؤال: ۴۵ — مدت پاسخگویی: ۱۵۰ دقیقه

عنوان مواد امتحانی، تعداد و شماره سؤالات

ردیف	مواد امتحانی	تعداد سؤال	از شماره	تا شماره
۱	مجموعه دروس تخصصی (مدار منطقی، معماری کامپیوتر پیشرفته، VLSI پیشرفته)	۴۵	۱	۴۵

اسفندماه سال ۱۳۹۱

این آزمون نمره منفی دارد.

استفاده از ماشین حساب مجاز نمی‌باشد.

حق چاپ و تکثیر سؤالات پس از برگزاری آزمون برای تمامی اشخاص حقیقی و حقوقی تنها با مجوز این سازمان مجاز می‌باشد و با متخلفین برابر مقررات رفتار می‌شود.

منابع آزمون دکتری،کارشناسی ارشد،کاردانی به کارشناسی
سراسری،آزاد و وزارت بهداشت

سنجش تکمیلی امیرکبیر www.konkur.in www.sanjeshEtakmili.com

۱- برای تابع زیر، با فرض آنکه گیت‌های m ورودی دارای هزینه‌ی سخت افزاری m هستند، مدار حاصل به صورت AND-OR دو سطحی، حداقل چه هزینه‌ای دارد؟ (فرض کنید ورودی‌ها و معکوس آن‌ها در دسترس می‌باشند.)

$$F(a,b,c,d)=\sum m(۰,۹,۱۰,۱۵)+d(۲,۶,۸,۱۱,۱۳,۱۴)$$

۱) ۵ ۲) ۶

۳) ۹ ۴) ۱۰

۲- در مدار جمع کننده با پیش بینی نقلی (carry look-ahead) سه بیتی، با فرض تأخیرهای زیر برای گیت‌های موجود، تأخیر کل مدار چقدر است؟

$$D(AND_{m-input})=m-۱$$
$$D(OR_{m-input})=m-۱$$
$$D(XOR_{۲-input})=۲$$

۱) ۶ ۲) ۷

۳) ۸ ۴) ۹

۳- در مدار ترتیبی Mealy که به درستی طراحی شده است، کدام گزینه درست است؟

۱) خروجی‌ها باید پیش از لبه‌ی فعال کلاک خوانده شوند، تا مقدار صحیح به‌دست آید، و الا ممکن است مقدار غلط حاصل شود.

۲) خارج از فواصل مربوط به hold وset-up فلیپ‌فلاپ‌ها، در هر زمان دیگری خروجی را بخوانیم صحیح است.

۳) در هر لحظه خروجی‌ها صحیح می‌باشند.

۴) خروجی‌ها باید بعد از لبه‌ی فعال کلاک بعلاوهٔ تأخیر clock-to-output خوانده شوند، تا مقدار صحیح به‌دست آید.

۴- گیت‌هایی در اختیار داریم که برای گرفتن مقدار صحیح از آن‌ها باید خروجی را با مقاومت ، pull-up کنیم. اگر خروجی دو تا از این گیت‌ها را به هم وصل کنیم:

۱) مقدار موجود روی خروجی، حاصل AND خروجی‌های دو گیت خواهد بود.

۲) مقدار موجود روی خروجی، حاصل OR خروجی‌های دو گیت خواهد بود.

۳) مقدار موجود روی خروجی، نصف ولتاژ منبع تغذیه خواهد بود.

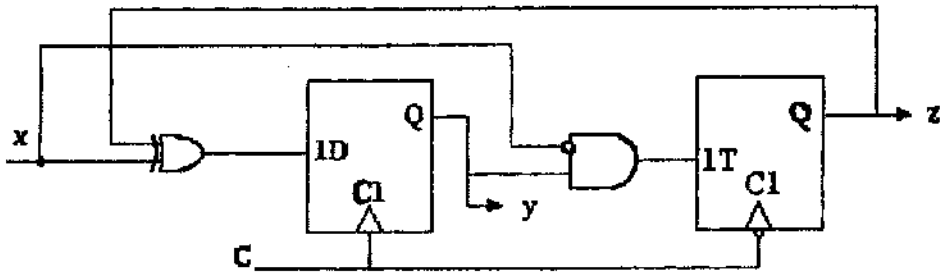
۴) یا تراشه می‌سوزد یا مقدار خروجی نامشخص است.

منابع آزمون دکتری www.doktora.ir

منابع آزمون دکتری،کارشناسی ارشد،کاردانی به کارشناسی سراسری،آزاد و وزارت بهداشت

سنجش تکمیلی امیرکبیر www.konkur.in www.sanjeshEtakmili.com

۵- با فرض 10^{ns} تأخیر برای هر گیت ترکیبی، 20^{ns} تأخیر برای هر فلیپ فلاپ، 20^{ns} زمان set up و 15^{ns} زمان hold، حداکثر فرکانس کلاک مدار زیر چند مگاهرتز است؟ لبه‌ی فعال فلیپ‌فلاپ‌ها با هم متفاوت است. (نیم پریود کلاک به صورت بهینه فرض شود.)



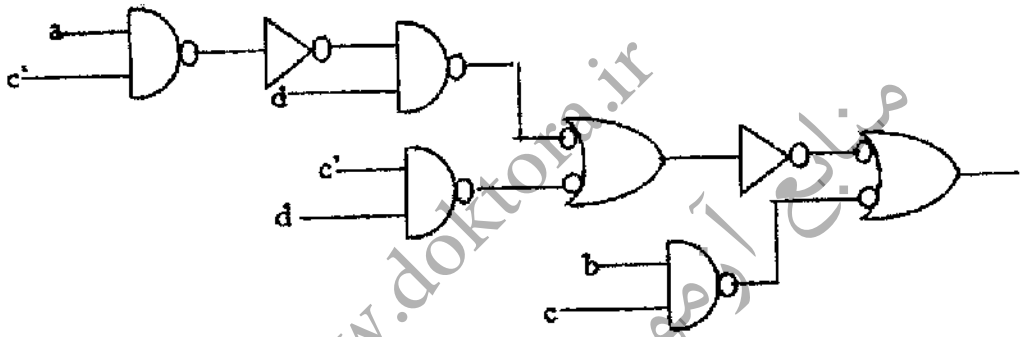
۱) ۶/۶

۲) ۱۰

۳) ۱۳/۲

۴) ۲۰

۶- مدار زیر را در نظر بگیرید. در صورت داشتن مخاطره (هازارد)، چند گیت منطقی باید به مدار اضافه کنیم، تا مشکل هازارد آن از بین برود؟



۱) ۱ گیت OR

۲) ۲ گیت AND و OR

۳) ۱ گیت AND

۴) این مدار هازارد ندارد.

۷- فرض کنید می‌خواهیم با تعدادی گیت AND دو ورودی که تأخیر هر یک 10^{ns} است، یک گیت AND پنج ورودی را پیاده سازی نماییم. تأخیر سریع‌ترین و کندترین پیاده‌سازی ممکن (فاقد افزونگی) چقدر خواهد بود؟

۱) ۱۰ns و ۲۰ns

۲) ۱۰ns و ۵۰ns

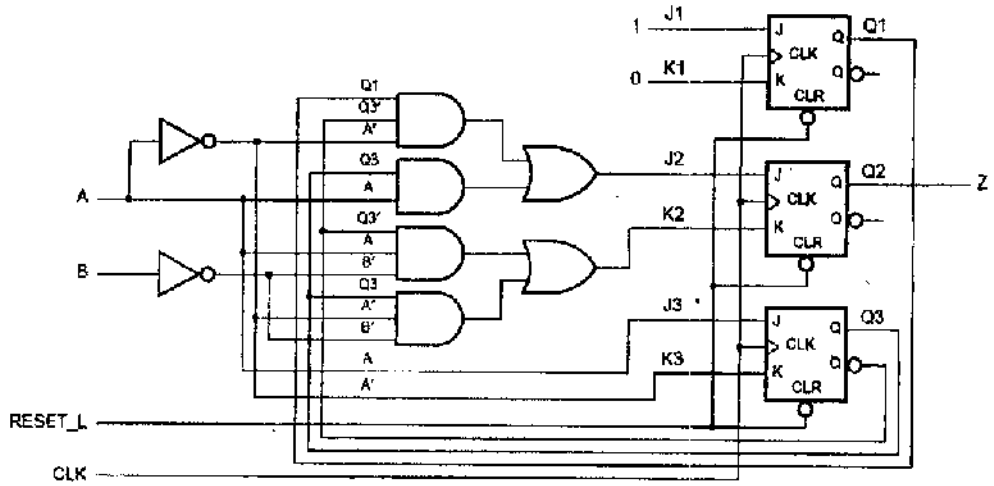
۳) ۲۰ns و ۳۰ns

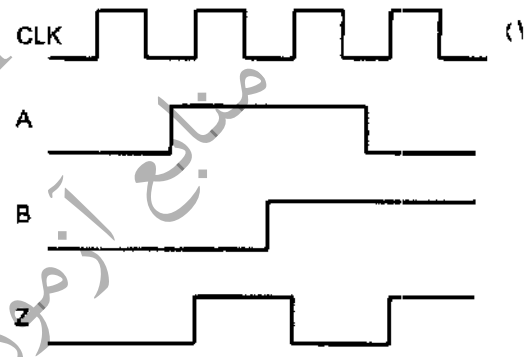
۴) ۳۰ns و ۴۰ns

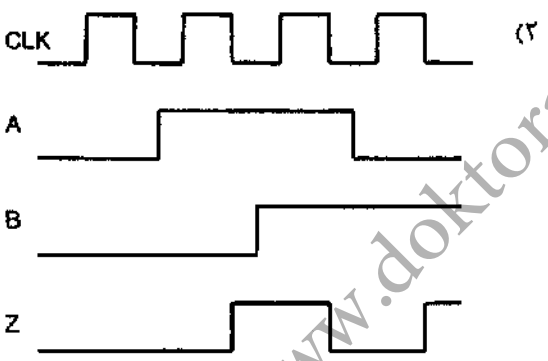
منابع آزمون دکتری، کارشناسی ارشد، کاردانی به کارشناسی سراسری، آزاد و وزارت بهداشت

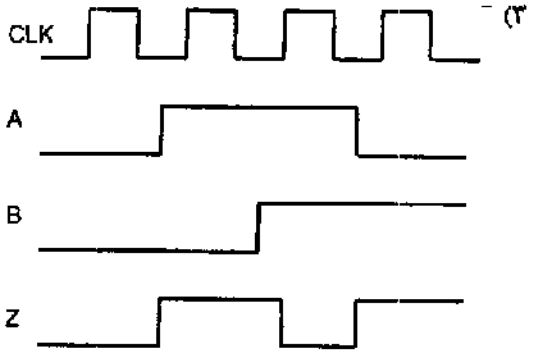
سنجش تکمیلی امیرکبیر www.konkur.in www.sanjeshEtakmili.com

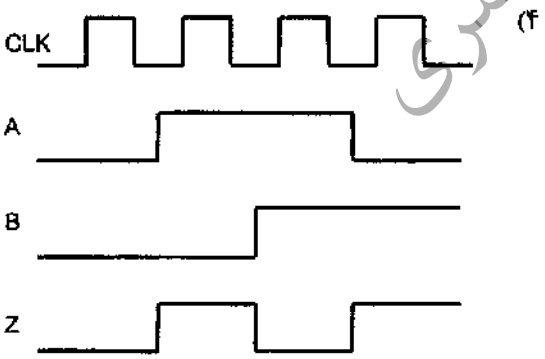
۸- مدار زیر را درنظر بگیرید. کدام شکل موج می‌تواند نشان‌دهنده‌ی رفتار صحیحی از این مدار باشد؟



۱)


۲)


۳)


۴)


www.doktora.ir منابع آزمون دکتری

منابع آزمون دکتری،کارشناسی ارشد،کاردانی به کارشناسی سراسری،آزاد و وزارت بهداشت

سنجش تکمیلی امیرکبیر www.konkur.in www.sanjeshEtakmili.com

۹- کدام گزینه، اندازه‌ی ROM لازم برای پیاده‌سازی هر یک از مدارهای ترکیبی زیر را نشان داده است؟

الف) یک جمع کننده / تفریق کننده‌ی ۱۶ بیتی با C_{in} و C_{out}

ب) ضرب کننده‌ی ۸×۸

ج) انکودر با الویت ۱۶ بیتی

۱)

مدار	اندازهٔ ROM
الف	$2^{32} \times 16bit$
ب	$2^{8} \times 16bit$
ج	$2^{16} \times 5bit$

۲)

مدار	اندازهٔ ROM
الف	$2^{32} \times 17bit$
ب	$2^{8} \times 16bit$
ج	$2^{16} \times 4bit$

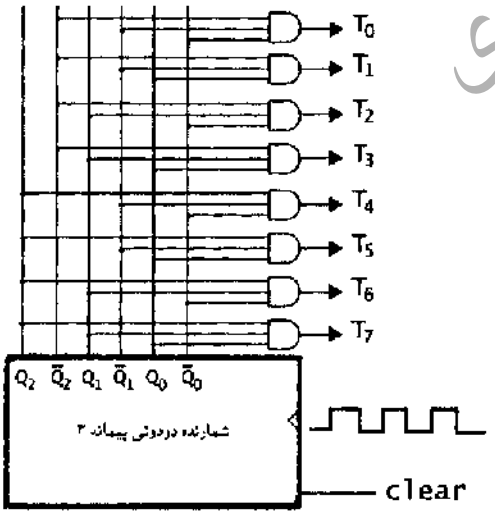
۳)

مدار	اندازهٔ ROM
الف	$2^{33} \times 17bit$
ب	$2^{16} \times 16bit$
ج	$2^{16} \times 5bit$

۴)

مدار	اندازهٔ ROM
الف	$2^{33} \times 17bit$
ب	$2^{16} \times 16bit$
ج	$2^{16} \times 4bit$

۱۰- در مدار شکل زیر اگر فرکانس کلاک 5MHz باشد، مدت زمان مورد نیاز برای تولید همگی فلیپ‌فلاپها، چند میکرو ثانیه است.



۱) ۰/۲

۲) ۰/۴

۳) ۰/۸

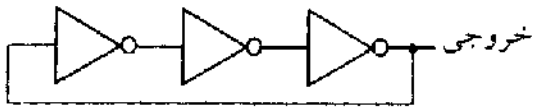
۴) ۱/۶

منابع آزمون دکتری
www.doktora.ir

منابع آزمون دکتری،کارشناسی ارشد،کاردانی به کارشناسی سراسری،آزاد و وزارت بهداشت

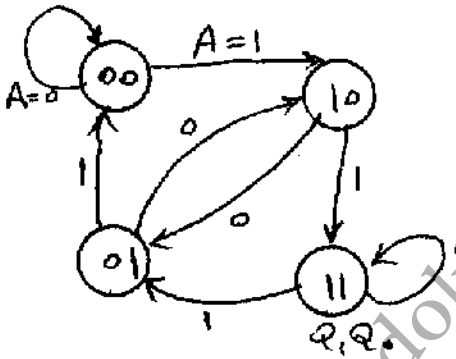
سنجش تکمیلی امیرکبیر www.konkur.in www.sanjeshEtakmili.com

۱۱- فرض کنید گیت‌های وارون‌ساز به شکل حلقهٔ زیر به یکدیگر متصل باشند؛ که نتیجهٔ آن نوسان در خروجی است. فرکانس نوسان ۶۶٫۶MHz می‌باشد. با فرض مشابه بودن گیت‌ها، تأخیر انتشار هر گیت کدام است؟



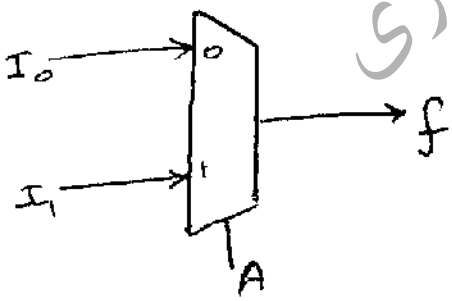
۱) ۲٫۵ns
۲) ۵ns
۳) ۱۵ns
۴) ۲۵ns

۱۲- نمودار حالت روبه‌رو را با دو فلیپ فلاپ D پیاده سازی می‌کنیم. مقادیر داخل حالت‌ها بیانگر خروجی‌های فلیپ فلاپ ها به‌صورت Q_1Q_0 هستند. تابع ورودی به فلیپ‌فلاپها به چه صورت می‌باشد؟



۱) $D_0 = A \oplus Q_1, D_1 = Q_0$
۲) $D_0 = Q_1, D_1 = A \oplus Q_0$
۳) $D_0 = Q_1, D_1 = Q_0 \oplus Q_1$
۴) $D_0 = A \oplus Q_1, D_1 = A \oplus Q_0$

۱۳- برای پیاده‌سازی تابع $f(A,B,C) = \sum m(1,2,5,7)$، با استفاده از مولتی پلکسر شکل زیر، ورودی‌ها کدام است؟



۱) $I_1 = BC, I_0 = C$
۲) $I_1 = BC, I_0 = B \oplus C$
۳) $I_1 = C, I_0 = B \oplus C$
۴) $I_1 = BC, I_0 = \overline{B}C$

منابع آزمون دکتری www.doktora.ir

منابع آزمون دکتری،کارشناسی ارشد،کاردانی به کارشناسی سراسری،آزاد و وزارت بهداشت

سنجش تکمیلی امیرکبیر www.konkur.in www.sanjeshEtakmili.com

۱۴- گزینهٔ صحیح، کدام است؟

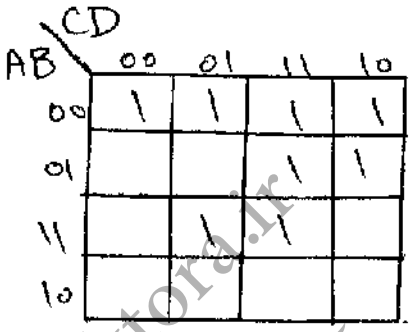
۱) حالت فعلی یک مدار ترتیبی همگام (سنکرون) که از n فیلیپ فلاپ تشکیل شده است را می‌توان فقط با داشتن ورودی‌هایی که در 2^n پالس ساعت قبل به آن داده شده، تعیین کرد.

۲) هر مدار ترتیبی را می‌توان فقط با استفاده از گیت‌های NOR پیاده سازی کرد.

۳) هر مدار منطقی که فقط از گیت‌های NAND تشکیل شده باشد، یک مدار ترکیبی است.

۴) گزینه های ۱ و ۳ صحیح هستند.

۱۵- برای جدول کارنوی زیر، آیا مخاطره‌ی ایستا (static hazard) وجود دارد؟ اگر وجود دارد، تحت چه شرایطی ؟



۱) اگر B=C=D=۱ باشد و A از ۱ به صفر برود، مخاطرهٔ ایستای ۱ دارد.

۲) اگر B=C=D=۱ باشد و A از صفر به ۱ برود، مخاطرهٔ ایستای صفر دارد.

۳) در دو حالت مخاطرهٔ ایستای ۱ دارد: اگر B=C=D=۱ باشد و A از ۱ به صفر برود و همچنین اگر A = B = ۰ و D=۱ باشد و C از ۱ به صفر برود.

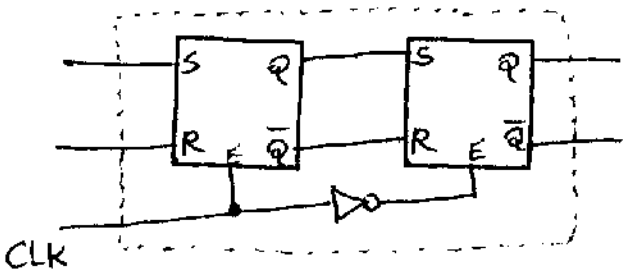
۴) در دو حالت مخاطرهٔ ایستای صفر دارد: اگر B=C=D=۱ باشد و A از صفر به ۱ برود و همچنین اگر A = B = ۰ و D=۱ باشد و C از صفر به ۱ برود.

منابع آزمون دکتری www.doktora.ir

منابع آزمون دکتری،کارشناسی ارشد،کاردانی به کارشناسی سراسری،آزاد و وزارت بهداشت

سنجش تکمیلی امیرکبیر www.konkur.in www.sanjeshEtakmili.com

۱۶- مجموعه‌ی خط‌چین شکل زیر، که از دو عدد لچ نوع RS با فعال ساز E و یک گیت NOT تشکیل شده، معادل کدام است؟



۱) یک حافظهٔ RS حساس به سطح پایین پالس ورودی Clk

۲) یک حافظهٔ RS حساس به سطح بالای پالس ورودی Clk

۳) یک فلیپ فلاپ نوع RS ،حساس به لبهٔ پایین رونده Clk

۴) یک فلیپ فلاپ نوع RS ،حساس به لبهٔ بالای رونده Clk

۱۷- عبارت POS (حاصل‌ضرب مجموع‌ها) مینیمم برای تابع $F=\overline{A}\,\overline{B}\,\overline{C}D+\overline{A}B\overline{C}\,\overline{D}+A\overline{B}CD+AB\overline{C}\overline{D}$ ، برابر کدام است؟

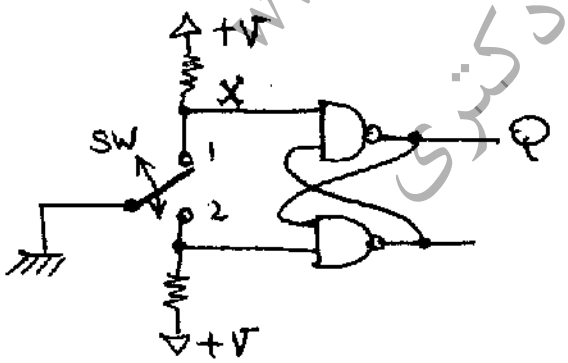
۱) $F=(A+C)(\overline{A}+\overline{C})(B+\overline{D})(\overline{B}+D)$

۲) $F=(A+\overline{D})(\overline{A}+D)(B+C)(\overline{B}+\overline{C})$

۳) $F=(A+\overline{C})(\overline{A}+C)(B+D)(\overline{B}+\overline{D})$

۴) $F=(A+B)(\overline{A}+\overline{B})(C+\overline{D})(\overline{C}+D)$

۱۸- در مدار زیر سویچ دستی و دو وضعیتی SW در هنگام تغییر وضعیت از حالت ۱ به ۲ و بالعکس دارای Bounce می‌باشد. گزینه‌ی صحیح در مورد آن، کدام است؟



۱) وضعیت Q پس از پایان یافتن Bounce کلید در وضعیت ۱ یا ۲ معتبر می‌باشد.

۲) چون سوئیچ دارای Bounce می‌باشد، حذف آن به‌صورت الکترونیکی امکان پذیر نمی‌باشد.

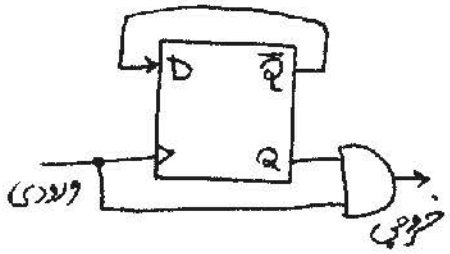
۳) هنگامی‌که سوئیچ در بین راه رسیدن به حالت ۱ یا ۲ است؛ هر دو ورودی NAND یک بوده و خروجی Q ، غیر قابل پیش‌بینی است.

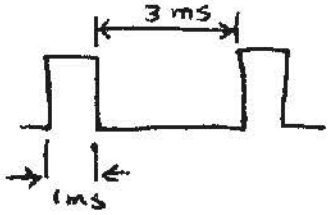
۴) اگر X و Q را به ورودی‌های کلاک دو شمارنده وصل کنیم، با تغییر حالت سوئیچ SW هر شمارنده مقدار متفاوتی را می‌شمارد.

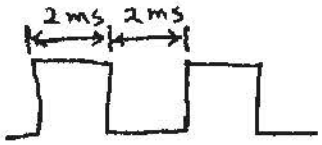
منابع آزمون دکتری،کارشناسی ارشد،کاردانی به کارشناسی سراسری،آزاد و وزارت بهداشت

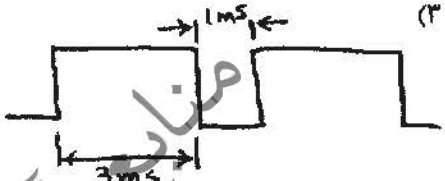
سنجش تکمیلی امیرکبیر www.konkur.in www.sanjeshEtakmili.com

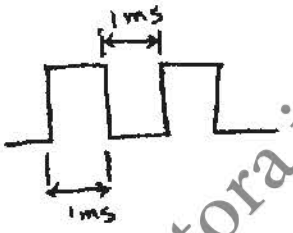
۱۹- در مدار روبه‌رو، اگر به ورودی پالس با فرکانس ۵۰۰ هرتز داده شود، شکل موج خروجی برابر کدام است؟



۱) 

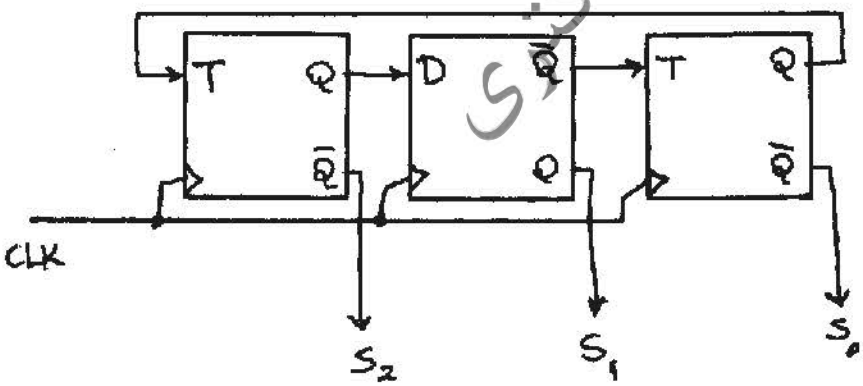
۲) 

۳) 

۴) 

۲۰- در مدار زیر به فرض شروع از حالت اولیه‌ی $S_2S_1S_0 = 000$، پس از چند کلاک به حالت اولیه باز می‌گردیم؟

۱) ۳
۲) ۴
۳) ۵
۴) ۶



۲۱- در یک شبکهٔ توری مدور (torus) ۱۰×۱۰×۱۰، تعداد پیوندهای دو طرفهٔ بین گره‌ها، بیش‌ترین فاصلهٔ بین دو گره شبکه (قطر)، و پهنای میان برشی (Bisection width) ، برابر کدام است؟

۱) ۴۰۰ , ۲۷, ۲۰۰۰
۲) ۶۰۰ , ۱۵, ۲۰۰۰
۳) ۲۰۰ , ۱۵, ۳۰۰۰
۴) ۳۰۰ , ۲۷, ۳۰۰۰

منابع آزمون دکتری، کارشناسی ارشد، کاردانی به کارشناسی سراسری، آزاد و وزارت بهداشت

سنجش تکمیلی امیرکبیر www.konkur.in www.sanjeshEtakmili.com

۲۲- فرض کنید در یک پردازندهٔ صد هسته‌ای، امکان تلفیق مدارهای m هسته ($۲ \le m \le ۱۰۰$) برای ساخت یک هستهٔ بزرگ‌تر با قدرت پردازشی $\sqrt{m}$ برابر یک هستهٔ معمولی وجود دارد. در این صورت حداکثر تسریع قابل احتصال برای یک برنامه که ۱۰ درصد کد برنامهٔ سریال است، برابر خواهد بود با (طبق قانون امدال، نسبت به یک هستهٔ معمولی):

۱) بیش از ۵ اما کم‌تر از ۱۰ ۲) بیش از ۱۰ اما کم‌تر از ۲۰

۳) بیش از ۲۰ اما کم‌تر از ۵۰ ۴) بیش از ۵۰

۲۳- گزینه نادرست کدام است؟

۱) استفاده از زنجیرکردن واحدهای پردازش لوله‌ای (Pipeline Chaning) در یک کامپیوتر برداری پهنای باند دسترسی به حافظه را افزایش می‌دهد.

۲) طبق قانون امدال، اگر درصد کد سریال برنامه f باشد، حداکثر تسریع قابل احتصال با پردازش موازی برابر $\frac{۱}{f}$ است.

۳) پهنای میان برشی در یک شبکهٔ فوق مکعب ۹ بعدی برابر است با ۲۵۶.

۴) شبکهٔ چند سطحی clos از نوع non-blocking است.

۲۴- گزینهٔ صحیح، در یک واحد پردازش لوله‌ای کدام است؟

۱) اگر بیت iام در بردار تصادم برابر ۱ باشد، یعنی راه‌اندازی یک عملیات جدید i پالس پس از شروع عملیات قبلی ممکن است.

۲) بردار تصادم (collision vector)، در یک خط لولهٔ n سطحی دارای n بیت است، که در آن بیت i ام نشان‌دهندهٔ امکان بروز تصادم در صورت راه‌اندازی (initiation) یک عملیات پس از i پالس ساعت است.

۳) سیکل حریصانهٔ (greedy cycle) ، دنباله‌ای از تأخیرهای راه‌اندازی مجاز در خط لوله است.

۴) امکان افزایش کارآیی، با اضافه کردن سطوح تأخیری بین سطوح پردازشی وجود دارد.

۲۵- در یک ابرکامپیوتر برداری می‌خواهیم برای هر عنصر x در یک بردار ۵۵ عنصری عبارت $\ln(\sin\sqrt{x})$ را محاسبه کنیم. به فرض این‌که خطوط لولهٔ محاسبه $\sqrt{x}$ (۶ سطحی)، $\sin x$ (۸ سطحی) و $\ln x$ (۴ سطحی) در معماری این کامپیوتر موجود باشند، حداکثر تسریع قابل احتصال توسط زنجیر کردن (نسبت به حالت بدون زنجیر کردن) برابر کدام است؟

۱) ۲/۵ ۲) ۳

۳) ۴/۵ ۴) ۶

۲۶- در یک پردازنده با معماری لوله‌ای n سطحی و m-issue superscalar به فرض این که ده درصد دستورات پرش شرطی باشند، حداکثر IPC برابر کدام است؟ توجه: تأخیر هر سطح خط لوله را C پالس ساعت فرض کنید.

۱) $\frac{c}{m}$ ۲) $\frac{m}{c}$

۳) $۰/۹ \times \frac{mn}{c}$ ۴) $\frac{۰/۹m+n}{c}$

منابع آزمون دکتری، کارشناسی ارشد، کاردانی به کارشناسی سراسری، آزاد و وزارت بهداشت

سنجش تکمیلی امیرکبیر www.konkur.in www.sanjeshEtakmili.com

۲۷- در یک خط لولهٔ چهار سطحی، جدول رزواسیون به صورت زیر است. حداقل و حداکثر تأخیر لازم برای راه‌اندازی یک عملیات جدید پس از عملیات قبلی، برابر کدام است؟

	t_1	t_2	t_3	t_4	t_5
S_1	×			×	
S_2		×		×	
S_3			×		
S_4	×				×

۱) ۱ و ۵
۲) ۱ و ۶
۳) ۲ و ۵
۴) ۲ و ۶

۲۸- در دستورات زیر:

I_1 : Add r_0 , r_1 , r_2
I_2 : Sub r_0 , r_3 , r_6
I_3 : Add r_6 , r_0 , r_7

کدام وابستگی قابل رفع توسط Register Renaming نمی‌باشد؟

۱) I_2 به I_1 (دسترسی به r_6)
۲) I_3 به I_1 (دسترسی به r_0)
۳) I_3 به I_2 (دسترسی به r_6)
۴) I_3 به I_2 (دسترسی به r_0)

۲۹- در یک مرکز داده، هر سرور دارای خرابی FIT(Failure in Time) ۱۰۰۰ می‌باشد. با فرض اینکه زمان تعمیر هر سرور ۱۰ ساعت طول بکشد، میزان دسترس‌پذیری هر سرور کدام است؟

۱) ۰/۹۹۹۹۹۹
۲) ۰/۹۹۹۹۹
۳) ۰/۹۹۹۹۹۹۹
۴) ۰/۹۹۹۹

۳۰- طراحان یک پردازنده قصد بهبود طراحی قبلی خود را دارند. یک راه برای تسریع اجرای برنامه‌ها بر روی این پردازنده، بهبود دستورات واحد Floating – Point (FP) می‌باشد. طراحی جدید ریز معماری این واحد سبب تسریع ۳ برابری این دستورات شده ولی فضای سطح تراشه‌ی بیش‌تری به این واحد اختصاص داده می‌شود. از این رو، برای ثابت نگه‌داشتن مساحت سطح تراشه، اندازه و ریز معماری حافظه نهان داده طوری تغییر یافته است، که دسترسی به این حافظه ۲ برابر کندتر شده است. با فرض این‌که، دستورات FP و دستورات دسترسی به حافظهٔ نهان داده به ترتیب ۲۰٪ و ۱۵٪ زمان اجرای کل برنامه در معماری قبلی باشد، تسریع به دست آمده چه مقدار خواهد بود؟

۱) ۱/۱۲
۲) ۰/۸۸
۳) ۱/۰۲
۴) ۰/۹۸

منابع آزمون دکتری www.doktora.ir

منابع آزمون دکتری، کارشناسی ارشد، کاردانی به کارشناسی سراسری، آزاد و وزارت بهداشت

سنجش تکمیلی امیرکبیر www.konkur.in www.sanjeshEtakmili.com

۳۱- برای کارکرد کم توان یک سیستم در هنگام بیکاری آن، دو روش Standby و Hibernate وجـود دارد. در روش Standby حافظهٔ اصلی مبتنی بر DRAM همچنان روشن می‌ماند؛ ولی در روش Hibernate داده‌های حافظهٔ اصلی، به یک حافظهٔ غیر فرار منتقل شده و به هنگام بازگشت به کارکرد عادی ،داده‌ها مجدداً از حافظهٔ غیر فرار به حافظهٔ اصلی منتقل مـی‌گـردد. بـا فرض اینکه خواندن یا نوشتن یک بلاک داده ۶۴ بایتی از حافظهٔ غیر فرار و حافظهٔ DRAM به ترتیـب ۲/۵۶ میکـرو ژول و ۰/۵ نانو ژول انرژی مصرف کند و همچنین توان استاتیک حافظهٔ DRAM برای حافظهٔ ۴ گیگابایتی ۱ وات باشد، کـم‌تـرین زمان بیکاری سیستم حدوداً چند ثانیه باشد، تا استفاده از روش Hibernate مقرون به صرفه باشد؟

۱) ۱۶۰ ۲) ۳۰۰

۳) ۳۲۰ ۴) ۴۰۰

۳۲- طراحی می‌خواهد ریزمعماری یک پردازندهٔ تک سیکلی (Single Cycle) را به خط لوله‌ای (pipelined) تبدیل کند. سـیکل ساعت طراحی اولیه ۷ نانوثانیه می‌باشد. پس از تقسیم‌بندی ریز معماری به چند قسمت، تأخیر هر بخش بدین ترتیب محاسبه می‌شود: $IF = 1ns$, $ID = 1/5ns$, $EX = 1ns$, $MEM = 2ns$, $WB = 1/5ns$، تأخیر ثبات‌های میانی خط لوله برابر ۰/۱ نانو ثانیه می‌باشد. با فرض اینکه به ازای هر ۴ دستور، یک Stall در خط لوله رخ دهد، تسریع ریز معماری خـط لولـه‌ای، نسبت به ریز معماری تک سیکلی، چند است؟

۱) ۱/۷۹ ۲) ۲/۲۲

۳) ۳/۴۴ ۴) ۲/۶۷

۳۳- حداکثر تسریع قابل حصول نسبت به اجرای غیرلوله‌ای برای اجرای تعداد نامتناهی محاسبات با خط لولهٔ محاسباتی غیر خطی زیر چیست؟

طبقه \ زمان	۱	۲	۳	۴	۵	۶
طبقه ۱	×			×		
طبقه ۲	×		×			×
طبقه ۳			×		×	
طبقه ۴		×		×		
طبقه ۵				×		

۱) ۱/۷

۲) ۲/۱

۳) ۵

۴) ۶

www.dokora.ir منابع آزمون دکتری

منابع آزمون دکتری،کارشناسی ارشد،کاردانی به کارشناسی سراسری،آزاد و وزارت بهداشت

سنجش تکمیلی امیرکبیر www.konkur.in www.sanjeshEtakmili.com

۳۴- در یک پردازندهٔ RISC خط لوله دستورالعمل شامل ۶ طبقه‌ی زیر است:

Register Write و Memory Access, Execute , Register Read, Decode, Fetch

دستور RS ، Stw Ra مقدار ثبات Rs را در حافظه‌ای که آدرس آن در Ra است، ثبت می‌کند، و در نتیجه از طبقهٔ Register Write استفاده نمی‌کند. دستورهای محاسباتی روی ثبات‌ها (مثل add Rd,Rs1,Rs2) مقدار دو ثبات Rs1 و Rs2 را خوانده و نتیجه را در ثبات Rd ثبت می‌کنند، و در نتیجه از طبقهٔ Memory Access استفاده‌ای نمی‌کنند. تنها دستوری که از همهٔ طبقات استفاده می‌کند، دستور Ldw Rd, Ra است، که آدرس حافظه را از ثبات Ra خوانده و مقدار کلمهٔ ثبت شده در آن خانهٔ حافظه را به ثبات Rd منتقل می‌کند. اجرای دستورات زیر در این پردازنده چند کلاک طول می‌کشد؟

```
ldw r1, r2
add r3, r4, r5
add r6, r7, r8
add r9, 10, r11
stw r2, r1
add r12, r13, r14
```

۱) ۱۰
۲) ۶
۳) ۱۱
۴) ۳۶

۳۵- در یک پردازندهٔ RISC خط لوله دستورالعمل شامل ۶ طبقه‌ی زیر است:

Register Write و Memory Access, Execute , Register Read, Decode, Fetch

دستور RS ، Stw Ra مقدار ثبات Rs را در حافظه‌ای که آدرس آن در Ra است، ثبت می‌کند. دستورهای محاسباتی روی ثبات‌ها (مثل add Rd,Rs1,Rs2) مقدار دو ثبات Rs1 و Rs2 را خوانده و نتیجه را در ثبات Rd ثبت می‌کنند ، دستور Ldw Rd, Ra آدرس حافظه را از ثبات Ra خوانده و مقدار کلمه ثبت شده در آن خانهٔ حافظه را به ثبات Rd منتقل می‌کند. خواندن و نیز نوشتن ثبات‌ها، هر دو در لبهٔ مثبت پالس ساعت انجام می‌شود. مقدار نهایی محاسبه در این پردازنده در دو حالت با و بدون استفاده از forwarding ، به ترتیب در انتهای کدام کلاک در حافظه ثبت می‌شود؟

```
ldw r1, r2
add r3, r2, r1
add r5, r4, r3
stw r2, r5
```

۱) ۹ و ۱۷
۲) ۱۲ و ۱۷
۳) ۱۲ و ۱۸
۴) ۱۰ و ۲۳

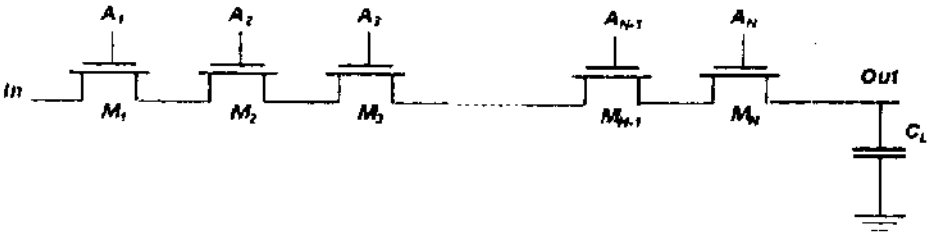
www.doktoria.ir منابع آزمون دکتری

منابع آزمون دکتری،کارشناسی ارشد،کاردانی به کارشناسی سراسری،آزاد و وزارت بهداشت

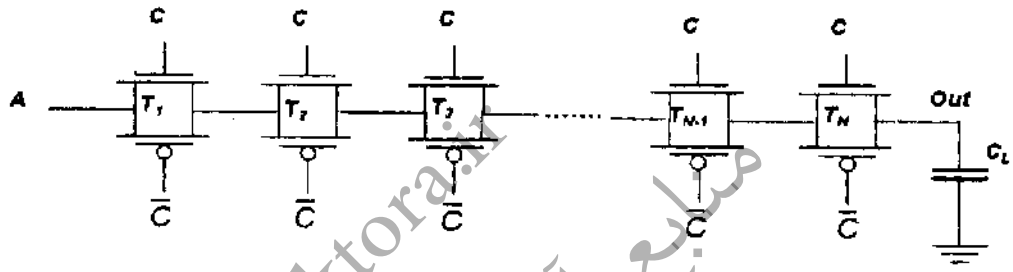
سنجش تکمیلی امیرکبیر www.konkur.in www.sanjeshEtakmili.com

۳۶- فرض می‌کنیم که در هر دو مدار همهٔ خازن‌های پارازیتیکی و خازن بار در لحظهٔ شروع تخلیه باشند. یک ورودی High اعمال کرده و پس از پایدار شدن ورودی، همهٔ سیگنال‌های کنترل را هم زمان فعال می‌کنیم، تا ترانزیستورها همه روشن شوند. ترانزیستورهای NMOS در شکل‌های الف و ب سایز یکسان دارند. هم چنین فرض کنید که ترانزیستورهای PMOS یکسان بوده و نسبت ابعاد هر جفت ترانزیستور NMOS و PMOS طوری انتخاب شده که مقاومت یکسان دارند. تأخیر انتشار در سرخازن بار در مدار الف و ب را با هم مقایسه کنید.

شکل الف



شکل ب



۱) مدار ب نسبت به مدار الف به دلیل افزایش خازن کل، توان دینامیکی بیش‌تری مصرف می‌کند، اما تأخیر مدار از ورودی تا خروجی تغییر نمی‌کند، زیرا خازن‌ها افزایش یافته‌اند و مقاومت‌ها کاهش یافته‌اند.

۲) مدار ب نسبت به الف توان بیش‌تری مصرف می‌کند، زیرا خازن‌ها افزایش یافته‌اند. اما این مدار سریع‌تر است، زیرا مشکل افت ولتاژ آستانه که در مدار الف وجود دارد در مدار ب حل شده است.

۳) مدار ب نسبت به مدار الف، به دلیل افزایش خازن کل مدار توان دینامیکی بیش‌تری مصرف می‌کند، اما به همین دلیل، افزایش خازن کل کندتر از مدار الف است.

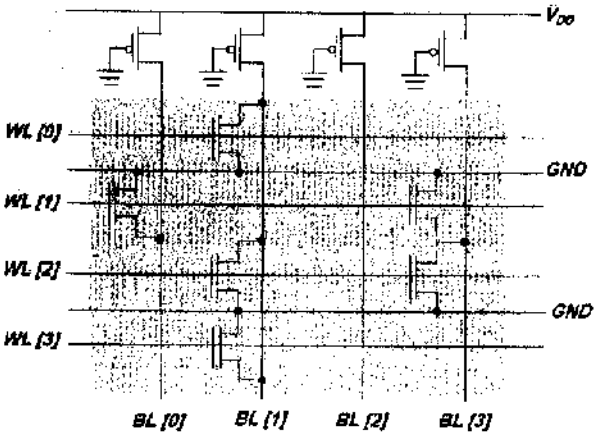
۴) به دلیل تعداد بیش‌تر ترانزیستورها، مدار ب توان دینامیکی بیش‌تری مصرف می‌کند، اما در عوض به دلیل موازی شدن ترانزیستورهای NMOS و PMOS ، مصرف ایستای کم‌تری دارد.

www.doktora.ir منابع آزمون دکتری

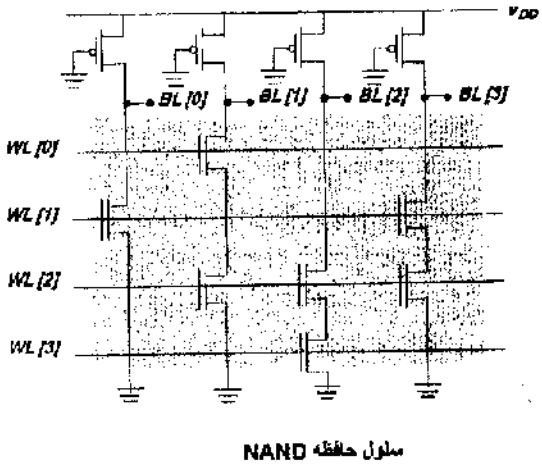
منابع آزمون دکتری،کارشناسی ارشد،کاردانی به کارشناسی سراسری،آزاد و وزارت بهداشت

سنجش تکمیلی امیرکبیر www.konkur.in www.sanjeshEtakmili.com

۳۷- شکل‌های زیر یک حافظه‌ی NOR ROM ۴×۴ و یک حافظه‌ی NAND ROM ۴×۴ را نشان می‌دهد. کدام یک از گزینه‌های زیر مقدار ذخیره شده در حافظه و عبارت مربوط به سلول حافظه را صحیح نشان داده و صحیح بیان می‌کند؟



سلول حافظه NOR



سلول حافظه NAND

۱) تأخیر سلول حافظه NAND و NOR هیچ ربطی به بزرگی اندازهٔ آرایه ندارد، بلکه فقط به بزرگی هر یک از ترانزیستورها ارتباط دارد. مقادیر ذخیره شده:

NOR	NAND
0100	1011
1001	0110
0101	1000
0100	1101

۲) تأخیر سلول حافظهٔ NAND و سلول حافظهٔ NOR هر دو به اندازهٔ آرایه و اندازهٔ ترانزیستورها ارتباط دارد. مقادیر ذخیره شده:

NOR	NAND
0100	1011
1001	0110
0101	1000
0100	1101

۳) تأخیر سلول حافظه NAND تابع اندازهٔ آرایه است؛ اما تأخیر سلول حافظهٔ NOR ربطی به اندازهٔ آرایه ندارد. برای آرایه‌های بزرگ، سلول NOR از NAND از نظر تأخیر بهتر است. مقادیر ذخیره شده:

NOR	NAND
1011	0100
0110	1001
1010	0111
1011	0010

۴) تأخیر سلول حافظهٔ NAND تابع اندازهٔ آرایه نیست؛ اما تأخیر سلول حافظهٔ NOR تابع اندازهٔ آرایه ' ست. برای آرایه‌های بزرگ، سلول NAND از NOR از نظر تأخیر بهتر است. مقادیر ذخیره شده:

NOR	NAND
1011	0100
0110	1001
1010	0111
1011	0010

www.doktora.ir منابع آزمون دکتری

منابع آزمون دکتری،کارشناسی ارشد،کاردانی به کارشناسی سراسری،آزاد و وزارت بهداشت

سنجش تکمیلی امیرکبیر www.konkur.in www.sanjeshEtakmili.com

۳۸- یک روش برای بهبود تأخیر یک سیم، افزایش عرض آن با هدف کاهش مقاومت سیم می‌باشد. یک راه این است که عرض کل سیم زیاد شود؛ و راه دیگر تغییر عرض آن به صورت پله‌ای است (طبق شکل زیر). با استفاده از مدل تأخیر المور تحلیل کنید که نسبت تأخیر سیمی که عرض آن به یکباره چهار برابر شود، نسبت به سیمی که عرض آن به صورت پله‌ای طی چهار مرحله از یک به چهار افزایش یابد چقدر خواهد شد؟ فرض کنید سیم اولیه به چهار قطعهٔ مساوی تقسیم شده است، که هر یک با «R» و «C» مشخص می‌شوند.



۱) هفت دهم

۲) یک و چهار دهم

۳) یک و دو دهم

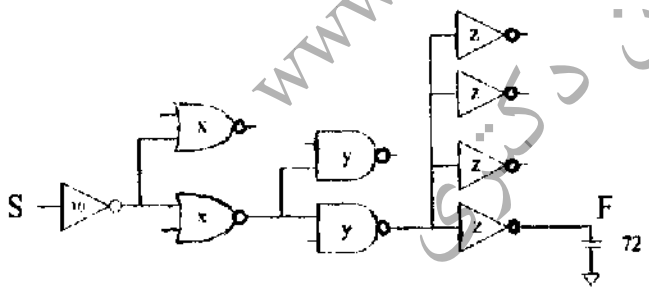
۴) یک

۳۹- برای تغذیه‌ی یک خازن با ظرفیت ۷۲ ۰/۰ پیکوفاراد، از دو طبقهٔ وارونگر CMOS استفاده شده است؛ که مقدار رشد طبقهٔ دوم آن نسبت به طبقه‌ای اول آن برابر ۲۰ است. نسبت تأخیر این بافر به بهترین تأخیر ممکن برای آن چقدر است؟ مقدار خازن گیت ورودی برابر $C_g = ۰/۰۲ \times ۱۰^{-۳}$ PF است.

۱) ۴/۲ ۲) ۳/۲

۳) ۲/۶ ۴) ۱/۶۷

۴۰- در مدار شکل زیر ،با استفاده از روش تلاش منطقی، اندازه‌ی گیت‌ها (مقادیر x ، y و z) را طوری بیابید، که تأخیر مسیر S به F حداقل شود.



۱) $x = ۱۲ , y = ۱۶ , z = ۱۸$

۲) $x = ۲/۵ , y = ۶ , z = ۱۸$

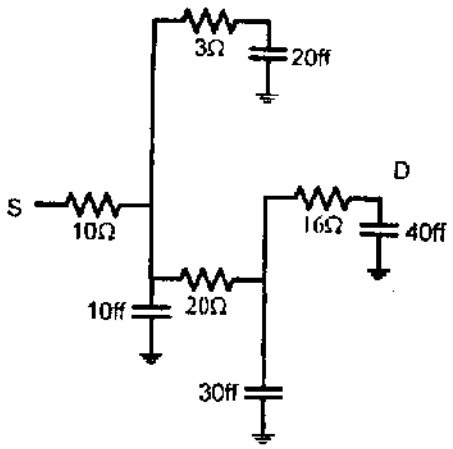
۳) $x = ۶ , y = ۱۲ , z = ۱۰$

۴) $x = ۴ , y = ۴/۵ , z = ۱۲$

منابع آزمون دکتری، کارشناسی ارشد، کاردانی به کارشناسی سراسری، آزاد و وزارت بهداشت

سنجش تکمیلی امیرکبیر www.konkur.in www.sanjeshEtakmili.com

۴۱- در شبکه مقاومت ـ خازنی زیر تأخیر بین گره S تا D چقدر است؟



۱) ۴٫۲ps

۲) ۲۱۲۰fs

۳) ۱٫۸۳ps

۴) ۳۶۲۰fs

۴۲- در فناوری‌های CMOS با طول کانال زیر ۶۵ نانومتر بهره‌ی جریان ترانزیستورها با استفاده از کدام مورد، حفظ شده است؟

۱) مواد عایق با ضریب دی الکتریک کم‌تر از اکسید سیلیکون برای ساخت عایق گیت

۲) فناوری کریستال تحت تنش

۳) مواد عایق با ضریب دی الکتریک بیش‌تر از اکسید سیلیکون برای ساخت عایق بین اتصالات

۴) فلز مس به جای آلومینیوم

۴۳- مساحت دروازه منطقی با تابع $\bar{y} = AB + CDE$ با منطق CMOS استاندارد در تکنولوژی با مقدار $\lambda = 10\,nm$ و حداکثر صرفه‌جویی، چقدر خواهد شد؟ راهنمایی: دیاگرام میله‌ای را رسم و از روی آن تخمین مساحت بزنید.

۱) $230400nm^2$

۲) $224000nm^2$

۳) $268800nm^2$

۴) $313600nm^2$

۴۴- تلاش منطقی دروازه NOR با n ورودی با جریاندهی مشابه معکوس کنندهٔ پایه با $W_n = 1$, $W_P = 2$ چیست؟

۱) $\frac{n+2}{3}$

۲) $\frac{2n+1}{3}$

۳) $\frac{n}{3}$

۴) $\frac{n+1}{3}$

www.doktora.ir منابع آزمون دکتری

منابع آزمون دکتری،کارشناسی ارشد،کاردانی به کارشناسی سراسری،آزاد و وزارت بهداشت

سنجش تکمیلی امیرکبیر www.konkur.in www.sanjeshEtakmili.com

۴۵- یک سوال معکوس کنندهٔ پایه را با $W_P = ۲$, $W_n = ۱$ با مقاومت درایو بالابر و پایین‌بر R در نظر بگیرید. در یک حافظه یک مگا سلولی خطوط آدرس به دو دسته مساوی برای انتخاب کردن سطر و ستون تقسیم می‌شوند. در حالت اول برای دیکودر سطر از تعدادی گیت NOR در یک طبقه استفاده می‌کنیم که هر یک مقاومت درایو بالا و پایین بر R/2 را داشته باشند. مساحت کلی این دیکودر سطر را A1 می‌نامیم. در حالت دوم ابتدا خطوط آدرس سطر را به دسته‌های دوتایی تقسیم و با تعدادی گیت NAND دو ورودی و معکوس کننده هر دو با مقاومت درایو R پیش دیکد (Predecode) می‌کنیم و سپس از تعدادی گیت NAND با ورودی‌های به تعداد نصف خطوط آدرس انتخاب‌گر سطر و با مقاومت درایو R استفاده می‌کنیم تا کلیه سطرهای حافظه بتوانند انتخاب شوند. مساحت مجموعه دیکودرهای این حالت را A2 می‌نامیم. نسبت A1 به A2 چیست؟

۱) ۲/۲۵ ۲) ۲/۷۵

۳) ۵/۵ ۴) ۱۱

www.doktora.ir منابع آزمون دکتری

منابع آزمون دکتری،کارشناسی ارشد،کاردانی به کارشناسی سراسری،آزاد و وزارت بهداشت

www.konkur.in

منابع آزمون دکتری
www.doktora.ir

سنجش تکمیلی امیرکبیر
www.sanjeshEtakmili.com

آزمون های آزمایشی

سنجش تکمیلی امیرکبیر:

آزمون آزمایشی ویژه آزمون دکتری و کارشناسی ارشد مکاتبه ای و آنلاین (اینترنتی) برگزار می کند

دکتری سراسری	۴ مرحله
ارشد سراسری	۸ مرحله
ارشد آزاد	۴ مرحله

بسته های آموزشی

سنجش تکمیلی امیرکبیر:

بسته های آموزشی ویژه آزمون دکتری، کارشناسی ارشد و کاردانی به کارشناسی سراسری، آزاد، وزارت بهداشت را ارائه می نماید

خودآموز زبان عمومی و تافل

سنجش تکمیلی امیرکبیر:

خودآموز صوتی تصویری زبان عمومی ویژه داوطلبان آزمون دکتری و ارشد

و

خودآموز صوتی تصویری زبان تافل ویژه داوطلبان آزمون دکتری

را ارئه می دهد

www.doktora.ir منابع آزمون دکتری

جهت مشاهده جزئیات، بسته های آموزشی آزمون دکتری، کارشناسی ارشد و کاردانی به کارشناسی و خودآموز زبان عمومی و تافل و بسته آموزشی نحوه نگارش مقالات علمی و ISI، به سایت سنجش تکمیلی دات کام مراجعه نمایید.

جهت مشاهده جزئیات آزمون‌های آزمایشی آزمون دکتری و کارشناسی ارشد به سایت سنجش آزمون دات کام مراجعه نمایید.

تلفن: ۴۴۰۴۴۶۸۱ و ۹- ۴۴۰۱۶۸۹۸

www.sanjeshEtakmili.com